

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: June 25, 2002
Application Number: Patent Application No. 2002-185234
Applicant (s): SHARP KABUSHIKI KAISHA

May 23, 2003
Commissioner, Patent Office
Shinichiro OTA

Patent application 2002-185234

[Name of Document]	Patent Application	
[Reference Number]	02J00839	
[Date of Filing]	June 25, 2002	
[Destination]	Commissioner, Patent Office	
[International Patent Classification]	H01L 21/20	
[Title of Invention]	MEMORY CELL AND MOMORY DEVICE	
[Number of Claimed Inventions]	6	
[Inventor]		
[Address]	c/o SHARP KABUSHIKI KAISHA, 22 - 22, Nagaike-cho, Abeno-ku, Osaka-shi, Osaka	
[Name]	INOUE, Kouji	
[Applicant]		
[Identification Number]	000005049	
[Name]	SHARP KABUSHIKI KAISHA	
[Representative]	MACHIDA, Katsuhiko	
[Attorney]		
[Identification Number]	100078868	
[Patent Attorney]		
[Name]	KOHNO, Takao	
[Telephone Number]	06-6944-4141	
[Assigned Attorney]		
[Identification Number]	100114557	
[Patent Attorney]		
[Name]	KOHNO, Hideto	
[Telephone Number]	06-6944-4141	
[Indication of Official Fee]		
[Register Number]	001889	
[Amount]	¥21,000	
[List of Annexes]		
[Name of Article]	Specification	1
[Name of Article]	Drawings	1
[Name of Article]	Abstract	1
[Number of General Authorization]	0208490	
[Proof]	Needed	

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月25日

出 願 番 号

Application Number:

特願2002-185234

[ST.10/C]:

[JP2002-185234]

出 願 人

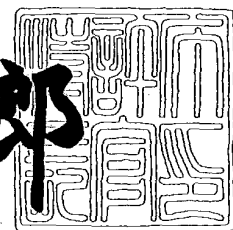
Applicant(s):

シャープ株式会社

2003年 5月23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038408

【書類名】 特許願

【整理番号】 02J00839

【提出日】 平成14年 6月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20

【発明の名称】 メモリセル及び記憶装置

【請求項の数】 6

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 井上 剛至

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代表者】 町田 勝彦

【代理人】

【識別番号】 100078868

【弁理士】

【氏名又は名称】 河野 登夫

【電話番号】 06-6944-4141

【選任した代理人】

【識別番号】 100114557

【弁理士】

【氏名又は名称】 河野 英仁

【電話番号】 06-6944-4141

【手数料の表示】

【予納台帳番号】 001889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリセル及び記憶装置

【特許請求の範囲】

【請求項 1】 可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えることを特徴とするメモリセル。

【請求項 2】 前記電流制御素子は電界効果トランジスタであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 3】 前記電流制御素子はダイオードであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 4】 可変抵抗素子及び該可変抵抗素子に流れる電流を制御する電界効果トランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記電界効果トランジスタのゲートをロー方向において共通に接続するワード線と、前記電界効果トランジスタのソースをロー方向において共通に接続するソースドライブ線と、可変抵抗素子の 1 端をコラム方向において共通に接続するビット線とを備え、前記電界効果トランジスタのドレインと前記可変抵抗素子の他端とを接続してあることを特徴とする記憶装置。

【請求項 5】 可変抵抗素子及び該可変抵抗素子に流れる電流を制御するダイオードにより構成されるメモリセルをマトリクス状に配置してあり、前記ダイオードのアノードをロー方向に共通に接続するワード線と、前記ダイオードのカソードを前記可変抵抗素子の 1 端に接続し、可変抵抗素子の他端をコラム方向に共通に接続するビット線とを備えることを特徴とする記憶装置。

【請求項 6】 前記ワード線はワード線を選択するためのローデコーダに接続され、前記ビット線はビット線を選択するためのコラムデコーダに接続され、該コラムデコーダには前記メモリセルのメモリ情報を読み出すための読み出し用回路が接続されていることを特徴とする請求項 4 または 5 に記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセル及び記憶装置に関する。

【0002】

【従来の技術】

ペロブスカイト構造をもつ薄膜材料、特に巨大磁性抵抗 (CMR : colossal magnetoresistance) 材料や高温超伝導 (HTSC : high temperature superconductivity) 材料により構成した薄膜やバルクに対して、1つ以上の短い電気パルスを印加することによって、その電気的特性を変化させる手法が提案されている。この電気パルスによる電界の強さや電流密度は、その材料の物理的な状態を変化させるには十分であり、また、材料を破壊することの無い十分に低いエネルギーであれば良く、この電気的パルスは正極性、負極性の何れでもよい。複数の電気パルスを繰り返し印加することにより、さらに材料特性を変化させることができる。

【0003】

このような従来技術は、例えばUSP 6, 204, 139に開示されている。図29、図30は従来技術における印加パルス数と抵抗値との関係を示すグラフである。図29は、金属性サブストレートの上に成長させたCMRフィルムに対して印加するパルス数と抵抗との関係を示している。ここでは、32Vの振幅、71nsのパルス幅を持つパルスを47発印加している。このような条件下では、図から分かるように抵抗値は1桁程度変化することが分かる。

また、図30は、パルス印加条件を変更して、27Vの振幅、65nsのパルス幅を持つパルスを168発印加している。このような条件下では、図から分かるように抵抗値は約5桁も変化することが分かる。

【0004】

図31、図32は従来技術におけるパルスの極性に対する依存性を示すグラフである。

図31は、正極性+12Vと負極性-12Vのパルスを印加した場合のパルス数と抵抗との関係を示す。

また、図32は、正極性+51Vと負極性-51Vのパルスを連続印加した後抵抗値を測定した場合のパルス数と抵抗との関係を示す。図31及び図32に見られるように、数回の正極性パルスを印加して抵抗値を低減させた後、負極性

のパルスを連続印加して抵抗値の増大（最終的には飽和状態）を図ることが可能となる。このことは、正極性パルスを印加した時をリセット状態、負極性を印加した時を書き込み状態とすることでメモリデバイスへの応用が考えられる。

【0005】

上記従来例では、このような特性を有するCMR薄膜をアレイ状に配置し、メモリを構成した例について開示している。

図33は従来技術におけるメモリアレイ構成を示す斜視図である。

図33に示されたメモリアレイでは、基板25上に底面電極26を形成し、その上に各1ビットを構成する可変抵抗素子27、上面電極28を形成したものである。可変抵抗素子27それぞれに、つまり各1ビット毎の上面電極28にワイヤー29を接続し、書き込み用のパルスを印加する。また、読み出す場合にも、各1ビット毎の上面電極28に接続されたワイヤー29から電流を読み出すものである。

【0006】

しかしながら、上記の図31、図32に示されたCMR薄膜の抵抗値の変化は2倍程度であり、リセット状態と書き込み状態を識別するには抵抗値の変化量が少ないように思われる。また、このCMR薄膜に印加する電圧が高く、低電圧化動作が要望されるメモリデバイスには適さない。

この結果に基づき、当出願人等は、USP6,204,139と同一のペロブスカイト構造をもつCMR材料PCMO($\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$)等を用いて、1つ以上の短い電気パルスを印加することによって、新たな特性を取得することができた。つまり、約±5Vの低電圧パルスを印加することによって、薄膜材料の抵抗値が数百Ωから約1MΩまで変化する特性を取得している。

そして、この材料を使用してメモリアレイを構成し、読み出し、書き込みを行う回路方式を概念的に示した特許も出願している。

【0007】

【発明が解決しようとする課題】

しかしながら、上記図33に示されたメモリアレイでは、各1ビット毎に電極にワイヤーを接続し、書き込み動作時に、このワイヤーを通して書き込み用パル

スを印加しており、また、読み出し時においても、各1ビット毎に電極に接続されたワイヤーから電流を読み出すために、薄膜材料の特性評価は可能であるが、メモリとしての集積度を上げることができないという問題がある。

また、書き込み動作、読み出し動作やリセット動作を行うに当たり、メモリの外部からの入力信号により全て制御しており、従来のメモリのように、メモリデバイス内部において、書き込み動作、読み出し動作やリセット動作を制御できるものとして作成されているものではない。

【0008】

図34は従来のメモリアレイの構成例を示す回路図である。

PCMO材料を使用して形成した可変抵抗素子 R_c が 4×4 のマトリクス状に配置されメモリアレイ10を構成する。各可変抵抗素子 R_c の1端子はワード線 $W1 \sim W4$ に、他の1端子はビット線 $B1 \sim B4$ に接続される。メモリアレイ10に隣接して周辺回路32が設けられる。各ビット線 $B1 \sim B4$ にはビットパストランジスタ34が接続され、インバータ38への経路を形成する。ビットパストランジスタ34とインバータ38との間には負荷トランジスタ36が接続される。この構成により、メモリアレイ10の各可変抵抗素子 R_c における読み出し、書き込みを行うことができる。

【0009】

この従来のメモリアレイでは、低電圧でメモリを動作することが可能となる。しかし、この書き込み、読み出し方式では、アクセスするメモリセルに隣接するメモリセルへのリーク電流経路が発生するために、読み出し動作時には正しい電流値を評価することができない（読み出しディスタ urb）。また、書き込み動作時にも、隣接するメモリセルへのリーク電流が発生するために、正しい書き込み動作ができない虞がある（書き込みディスタ urb）。

【0010】

例えば読み出し動作において、選択メモリセルにおける可変抵抗素子 R_{ca} の抵抗値を読み出す為に、ワード線 $W3$ に電源電圧 V_{cc} を、ビット線 $B2$ をGNDに、その他のビット線 $B1$ 、 $B3$ 、 $B4$ 及びワード線 $W1$ 、 $W2$ 、 $W4$ はオープンにし、ビットパストランジスタ34aをオンすることによって、矢符A1で

示す電流経路を形成することができるため、抵抗値を読み出すことができる。しかし、可変抵抗素子 R_{ca} に隣接する可変抵抗素子 R_c に対し、矢符 A_2 、 A_3 等で示す電流経路が発生するため、選択メモリセルにおける可変抵抗素子 R_{ca} の抵抗のみの値を読み出すことはできなくなる（読み出しディスタurb）。

【0011】

上記問題点に鑑み、本発明の目的とするところは、ペロブスカイト構造をもつ薄膜材料（例えば $PCMO$ ）等からなる可変抵抗素子を記憶素子として低電圧で動作可能であり、且つ高集積が可能なメモリセル及び該メモリセルを用いた記憶装置を提供することにある。

更に、本発明の別の目的として、メモリセルアクセス時において、隣接するメモリセルへのリーク電流が生じないメモリ周辺回路を備えた記憶装置を提供することにある。

【0012】

【課題を解決するための手段】

本発明に係るメモリセルは、可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えることを特徴とする。

【0013】

本発明に係るメモリセルにおいては、前記電流制御素子は電界効果トランジスタであることを特徴とする。

【0014】

本発明に係るメモリセルにおいては、前記電流制御素子はダイオードであることを特徴とする。

【0015】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御する電界効果トランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記電界効果トランジスタのゲートをロー方向において共通に接続するワード線と、前記電界効果トランジスタのソースをロー方向において共通に接続するソースドライブ線と、可変抵抗素子の1端をコラム方向において共通に接続するビット線とを備え、前記電界効果トランジスタのドレインと前記可変抵抗

素子の他端とを接続してあることを特徴とする。

【0016】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御するダイオードにより構成されるメモリセルをマトリクス状に配置しており、前記ダイオードのアノードをロー方向に共通に接続するワード線と、前記ダイオードのカソードを前記可変抵抗素子の1端に接続し、可変抵抗素子の他端をコラム方向に共通に接続するビット線とを備えることを特徴とする。

【0017】

本発明に係る記憶装置においては、前記ワード線はワード線を選択するためのローデコーダに接続され、前記ビット線はビット線を選択するためのコラムデコーダに接続され、該コラムデコーダには前記メモリセルのメモリ情報を読み出すための読み出し用回路が接続されていることを特徴とする。

【0018】

本発明においては、可変抵抗素子と可変抵抗素子に流れる電流を制御する電流制御素子により、メモリセルを構成したので簡易な構造のメモリセルが可能になり、大容量に適したメモリセルが可能となる。

【0019】

本発明においては、可変抵抗素子と可変抵抗素子に流れる電流を制御する電流制御素子により構成されるメモリセルをマトリクス状に配置してメモリアレイとし、コラムデコーダ等の周辺回路をメモリアレイと一体化したので、大容量メモリに適した記憶装置が可能となる。

【0020】

【発明の実施の形態】

以下、本発明の半導体装置について図を用いて詳細に説明する。尚、本発明では、上述したように低電圧パルスで抵抗値が2桁程度変化するCMR材料（例えばPCMO）薄膜を用い、メモリセル及びメモリアレイを構成し、また、そのメモリセル、メモリアレイに対する書き込み動作、読み出し動作、リセット動作を実現する具体的なメモリ周辺回路を示す。

上記に示した特性を有する薄膜材料（例えばPCMO。Pr_{0.7}Ca_{0.3}Mn

O₃) 等によって可変抵抗素子を作成し、この可変抵抗素子と可変抵抗素子を通れる電流を制御する電流制御素子とによりメモリセルを構成する。

【0021】

<実施の形態1>

図1は本発明に係るメモリアレイの構成を示す説明図である。同図(a)は回路図を、(b)は同回路図のレイアウトパターンの概略平面図を、(c)は(b)の矢符bbにおける概略断面図を示す。なお(c)において断面を表す斜線は省略する(他の断面についても同様である)。

MCはメモリセルを示し、電流制御素子Q_c及び可変抵抗素子R_cの組み合わせにより構成される。電流制御素子Q_cとして電界効果トランジスタ(FET。以下Trともいう)を使用する。Tr Q_cは可変抵抗素子R_cに流れる電流を制御するように可変抵抗素子R_cの電流路に直列に接続される。このメモリセルMCは1個の電流制御素子Q_cと1個の可変抵抗素子R_cとの組み合わせであるから1T1R型(メモリセル)という。

【0022】

メモリセルMCをマトリックス状に2×2個配置してメモリアレイとした状態を示す。Tr Q_cのゲートをロー方向に共通接続してワード線W1、W2を構成し、Tr Q_cのソースをロー方向に共通接続してソースドライブ線SDを構成する。Tr Q_cのドレインを可変抵抗素子R_cの一方の端子に接続し、可変抵抗素子R_cの他方の端子をコラム方向に共通接続してビット線B1、B2を構成し、メモリアレイを構成する。

ソースドライブ線SDを5V、ワード線W1を0V、ワード線W2を5V、ビット線B1を5V、ビット線B2を0Vに設定すると矢符Aで示すように電流路が形成され、可変抵抗素子R_cの両端に電位差が発生することによって抵抗値を変更できる。ソースドライブ線SDはPN層(拡散層)、ワード線W1、W2はGP線(ポリシリコン配線)、ビット線B1、B2はGP線(ポリシリコン配線)またはメタル線により形成する。可変抵抗素子R_cはPCMO膜により構成してTr Q_cのドレイン上部に配置し、PCMO膜の上部にビット線B1、B2を配置する。

また、ワード線W1、W2は図示しないローデコーダに接続され、ローデコーダにより適宜ワード線W1、W2に信号が印加され、ワード線W1、W2の選択がなされる。ビット線B1、B2は図示しないコラムデコーダに接続され、コラムデコーダにより適宜ビット線B1、B2に信号が印加され、ビット線B1、B2の選択がなされる。

【0023】

以下メモリアレイの動作方法について説明する。

メモリアレイが非アクティブ時（プリチャージ状態）の場合には、全ビット線B1、B2に0V（GNDレベル）、全ワード線W1、W2に0Vを印加する。また、各メモリセル内のTrQcにソース電圧を供給する全てのソースドライブ線SDにも0Vを供給する。

【0024】

（書き込み動作）

図2、図3は本発明に係るメモリセルへの書き込み動作を説明する回路図である。図2はメモリアレイの領域を、図3はコラムデコーダ回路を示し、図2のビット線は延長して図3のビット線に接続される。

メモリアレイはメモリセルMCを8×4個配置して構成される。図1と同様にして、ビット線B1～B8、ワード線W1～W4、ソースドライブ線SD1、SD2が形成される。ソースドライブ線SD1、SD2はソース電圧印加用ドライバSDC1、SDC2へそれぞれ接続される。

【0025】

コラムデコーダ回路CDは、TrE0、E1、E2、E3のTr群及びTrF0、F1、F2、F3の選択トランジスタ群等で構成される。TrE0、E1、E2、E3は、一方の端子をビット線B2、B4、B6、B8に接続され、他方の端子を電位Vddとした電位線CDBHに接続される。TrF0、F1、F2、F3は、一方の端子をビット線B2、B4、B6、B8に接続され、他方の端子をTrQcdを介して電位0Vとされる電位線CDBLに接続される。ビット線B1、B3、B5、B7にも同様にコラムデコーダ回路CDが接続されることはいうまでもない。なお、TrE0、E1、E2、E3の制御及びTrF0、F

1、F2、F3の制御はコラムアドレス信号(線)CDS2、CDS4、CDS6、CDS8により行う。また、TrE0、E1、E2、E3への入力の反転信号をTrF0、F1、F2、F3への入力として与える。

【0026】

選択されたメモリセルMCaへの書き込み動作を実行する(メモリセルMCa内の可変抵抗素子Rcの抵抗値を上昇させる)には、選択されたメモリセルMCa内の可変抵抗素子Rcに接続されているビット線B2に0Vを印加する。その他の全ビット線B1、B3～B8にはVdd(例えば3V。以下同様)を印加する。また、アクセスすべきメモリセルMCaのTrQcのゲートに接続されたワード線W2に $2Vdd + \Delta V$ ($6 + 1 = 7V$)を印加し、メモリセルMCaにおけるTrQcによる電圧降下を少なくしている。また、非選択メモリセルMCに接続された全ワード線W1、W3、W4には0Vを印加してTrQcはオフとする。

ソース電圧印加用ドライバSDC1を駆動(TrQsd1をオンしてVddを出力)することによってソースドライブ線SD1つまり選択メモリセルMCaに接続したソースにはVdd(3V)を印加する。また、非選択メモリセルMCに接続されたソースには、ソース電圧印加用ドライバSDC2をオフ(TrQsd2をオフしてVddを出力しない)することによって、電圧は印加されないようにする。

【0027】

この入力条件のもとでは、ソースドライブ線SD1から選択メモリセルMCa内のTrQcを通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMCa内の可変抵抗素子Rcに電圧を印加することができ、可変抵抗素子Rcに書き込み動作(メモリセル内可変抵抗値の上昇)を実行することができる。即ち、選択メモリセルMCa内の可変抵抗素子Rcの両端にはVdd(3V)に近い電位差が確保されるため、可変抵抗素子Rcの抵抗値は、数百Ωから約1MΩにまで上昇する。この一連の動作により、選択メモリセルMCaのみに書き込みが行われることになる。

【0028】

この時、非選択メモリセルMCの可変抵抗素子 R_c の抵抗値が変動しないように、可変抵抗素子 R_c 間には電位差が生じないように配慮する必要がある。このために、コラムデコーダCD内の $TrE1$ 、 $E2$ 、 $E3$ はコラムアドレス信号(線) $CDS4$ (DISABLE)、 $CDS6$ (DISABLE)、 $CDS8$ (DISABLE)によりオンすることによって、ビット線 $B4$ 、 $B6$ 、 $B8$ に V_{dd} (3V)を印加する。一方、選択メモリセルMCaに接続したビット線 $B2$ に接続する $TrE0$ は、入力されたコラムアドレス信号 $CDS2$ (ENABLE)に基づいて、オフ状態となり、これに伴い選択 $TrF0$ がオンして、矢符Aで示す電流経路を通じてビット線 $B2$ の電位は電位線 $CDBL$ の電位0Vになる。電位線 $CDBL$ の電位は $TrQcd$ をオンして供給する。なお、電位線 $CDBL$ の電位0Vは $TrQcd$ へ印加される0Vのパルスにより得られる。上記のように各電位を設定することにより、選択メモリセルMCaに隣接するセルの誤書き込み(書き込みディスタ urb)を抑制することが可能となる。

【0029】

(リセット動作)

図4、図5は本発明に係るメモリセルのリセット動作を説明する回路図である。図4はメモリアレイの領域を、図5はコラムデコーダ回路を示し、回路構成自体は図2、図3の場合と同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

【0030】

選択されたメモリセルMCaにおける可変抵抗素子 R_c の抵抗値をリセットするには、選択メモリセルMCaの可変抵抗素子 R_c と接続されているビット線 $B2$ に $2V_{dd}$ (6V)を印加する。この $2V_{dd}$ (6V)は電位線 $CDBL$ により $TrF0$ を介して供給される。なお、電位線 $CDBL$ の電位はオンする $TrQcd$ へ印加される $2V_{dd}$ のパルスにより得られる。また、選択メモリセルMCaの $TrQc$ のゲートに接続されたワード線 $W2$ に $2V_{dd} + \Delta V$ ($6 + 1 = 7$ V)を印加し、その他のワード線は非アクティブ状態からの0V印加の状態を維持する。

【0031】

そして、選択メモリセルMC aのTrのソースに接続されているソースドライブ線SD 1にはソース電圧印加用ドライバSDC 1を駆動(Tr Q s d 1をオンしてV d dを出力)してV d d(3 V)を印加する。また、選択されない全ビット線にはV d dを印加することによって、選択されないメモリセルMC内の可変抵抗素子R c間に電位差が生じないように対策を講じる。つまり、前述した説明と同様に、コラムデコーダCD内のTr E 1、E 2、E 3をコラムアドレス信号(線)CDS 4、CDS 6、CDS 8によりオンすることによって、ビット線B 4、B 6、B 8にV d d(3 V)を印加する。一方、選択メモリセルMC aに接続したビット線B 2に接続するTr E 0は、入力されたコラムアドレス信号CDS 2に基づいて、オフ状態となり、これに伴い選択Tr F 0がオンする。これにより、矢符Aで示す電流経路を通じてビット線B 2の電位は電位線CDB Lの電位2 V d dに設定される。

【0032】

この入力条件の下では、ビット線B 2から選択メモリセルMC a内のTr Q cを通り、ソースドライブ線SD 1に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMC a内の可変抵抗素子R cに電圧を印加することができ、可変抵抗素子R cのリセット動作(抵抗値の低減)を実行することができる。そしてこのビット線B 2から2 V d dを印加することによって、可変抵抗素子R cの抵抗値は、約数百Ωにまで低減する。この一連の動作により、選択メモリセルMC aのみに書き込みデータのリセット動作が行われることになる。

【0033】

(読み出し動作)

図6、図7、図8は本発明に係るメモリセルの読み出し動作を説明する回路図である。図6はメモリアレイの領域、図7はコラムデコーダ回路、読み出し用回路の部分を、図8はRef用セルアレイ、Ref用コラムデコーダ回路、読み出し用回路の部分を示し、図2乃至図5の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。読み出し用回路RCはマルチプレクサMPX、差動増幅器DIAP、読み出し用ショート回路SCRead等により構成される。

【0034】

このメモリアレイが非アクティブ時(プリチャージ状態)には、書き込み動作と同様に、全ビット線を0V (GNDレベル)、全ワード線を0Vに印加する。

次いで、選択メモリセルMCaに接続されたソースドライブ線SD1に0Vを印加し、ビット線B2には $V_{dd}/2$ (1.5V) 又は1.0Vを印加する。 $V_{dd}/2$ は $V_{dd}/2$ 作成回路J2により作成され、電位線CDBJ2を介して供給される。選択メモリセルMCaのTrQcのゲート部が接続されているワード線W2のみを $2V_{dd} + \Delta V$ ($6 + 1 = 7V$) に印加する。また、他の全ワード線にはプリチャージ状態からの0V印加を持続する。また、入力されたコラムアドレス信号(線)CDS2、CDS4、CDS6、CDS8に基づいて、選択メモリセルMCaに接続されたビット線B2を除く他の全てのビット線に対して0Vを供給する。0VはCDBJ1を介して供給される。このことによって、非選択メモリセルMCaの可変抵抗素子Rc間には、電位差が発生せず、抵抗値が変動しないように対策をとっている。

【0035】

入力されたコラムアドレス信号(線)CDS2 (ENABLE)、CDS4 (DISABLE)、CDS6 (DISABLE)、CDS8 (DISABLE)に基づいて、選択メモリセルMCaに接続されたビット線B2に接続したTrE0、TrG0のみがオフ状態となり、コラムデコーダCD内の他のTrE1、E2、E3、G1、G2、G3は全てオン状態となり、選択メモリセルMCaに接続されたビット線B2を除く他の全てのビット線に対して0Vを供給することが可能となる。

また、入力されたコラムアドレス信号(線)CDS2 (ENABLE)、CDS4 (DISABLE)、CDS6 (DISABLE)、CDS8 (DISABLE)に基づいて、電位線CDBJ2に接続されるTrF0、F1、F2、F3の内、TrF0のみがオン状態となり、選択メモリセルMCaに接続されたビット線B2のみに $V_{dd}/2$ (1.5V) 又は1.0Vが供給される。その結果、ソースドライブ線SD1から選択メモリセルMCa内のTrQcを通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路が形成され読み出し動作が実行される。

【0036】

尚、選択メモリセルMC aに隣接するメモリセルMC b, MC cについての読み出し時のディスタープについて、以下に説明する。

アクティブとなる読み出し用0Vドライブ回路RDC 1に接続されたソースドライブ線SD 1と接続されたメモリセルMC bにはコラムデコーダCDより0Vが供給されるため、MC b内の可変抵抗素子R c間には電位差が発生せず、抵抗値の変動は起こらない。また、メモリセルMC cでは、セル内のTr Q cがオフとなり、MC cの可変抵抗素子R c間には電位差が発生せず、可変抵抗値の変動は起こらない。一方、その他のワード線に接続されたメモリセルでは、メモリセル内のTrがオフとなり、セル内の可変抵抗素子R c間には電位差が発生しない。従って、アクセスされるセル以外のメモリセル内における可変抵抗素子R cの抵抗値は変動することは無い。従って、上記のように各電位を設定することにより、選択メモリセルMC aに隣接するメモリセルの誤読み出し（読み出しディスタープ）を抑制することが可能となる。

【0037】

なお、読み出し用の1.5V作成回路J 2又は1.0V作成回路は、抵抗分割により1.5V（1.0V）基準電位を作成し、この信号を差動増幅器に入力し、電流増幅することにより、目的とする1.5V又は1.0Vを作成することができる。

【0038】

また、読み出し動作において、図6、図7に示すように、各ビットラインからの出力は、読み出し回路RC内のマルチプレクサMPXに入力され、マルチプレクサMPXの各出力値とRef Levelとを差動増幅器DIAPで比較し、メモリセルMCに蓄積されたデータを1または0として識別する。

【0039】

なお、上述したように、差動増幅器DIAPの基準値となるRef LevelはRef用メモリセルアレイRef MCAとRef用コラムデコーダRef CDにて作成される。選択メモリセルMC aがアクセスされたときに、ソースドラ

イブ線SD1がアクセスされ、また、ワード線W2がアクセスされることにより、Ref Level作成用のメモリセルRefA0とメモリセルRefB0も同時にアクセスされる(図8参照)。Ref用コラムデコーダRefCDにて、Ref用ビット線C0とRef用ビット線C1に電位線CDBJ2から $V_{dd}/2$ が供給されることにより、Ref用ビット線C0とRef用ビット線C1には、メモリセルRefA0とメモリセルRefB0のデータが出力される。

【0040】

Ref用メモリセルアレイRefMCAの左半分には予め抵抗値を大に設定しておき、右半分には予め抵抗値を小に設定しておく。したがって、メモリセルRefA0から読み出されたRef用ビット線C0は高レベルを示し、メモリセルRefB0から読み出されたRef用ビット線C1は低レベルを示す。読み出し用回路RC内の読み出し用ショート回路SCReadにおいてRef用ビット線C0の信号とRef用ビット線C1の信号とをショートすることにより、これらの信号の中間値が得られる。このレベルを読み出し用回路RC内の差動増幅器DIAPのRef Levelとして入力する。Ref LevelとマルチプレクサMPXからの出力の読み出しデータとを差動増幅器DIAPにより比較して、メモリセルMCに蓄積されたデータが1か0かを識別し、読み出し動作が実行される。

【0041】

図9、図10、図11は本発明に係るメモリセルの周辺回路の配置を示す回路図である。メモリセルMCに対して書き込み動作、リセット動作、読み出し動作を行う場合に必要な各種ドライバの配置を示す。図9はソースドライバK1、メモリアレイを、図10はコラムデコーダ回路CD、読み出し用回路RCを、図11はRef用セルアレイRefMCA、Ref用コラムデコーダ回路RefCD、アクセスビット線電位供給用ドライバK2、ソースドライバK1Pを示し、図2乃至図8の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

【0042】

ソースドライバK1、K2は、ソースドライブ線SD1、SD2をそれぞれ駆

動する。ソースドライブ線SD1、SD2は書き込み時V_{dd}に、リセット時V_{dd}に、読み出し時0Vに設定される。

アクセスビット線電位供給用ドライバK2は、電位線CDBK2を介して選択されたビット線に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK2は書き込み時0V、リセット時2V_{dd}、読み出し時V_{dd}/2に設定される。例えば、選択メモリセルMCaをアクセスするには、書き込み動作の場合にはビット線B2に0Vを供給する必要がある、この0V供給は、アクセスビット線電位供給用ドライバK2にて発生させる。

ソースドライバK1Pは、電位線CDBK1Pを介して選択されたビット線に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK1Pは書き込み時V_{dd}に、リセット時V_{dd}に、読み出し時0Vに設定される。

【0043】

図12はアクセスビット線電位供給用ドライバの一例を示す説明図である。同図(a)は回路図を、(b)はタイミングチャートを示す。

書き込み動作時はWriteサイクルとして、アクセスビット線ドライバ出力を0Vにし、このときには、リセット動作用ドライバ、及び読み出し動作用ドライバの出力はフローティング状態となる。つまり、書き込み動作時には、(b)のタイミングチャートに示すように、EW信号がハイレベルとなる。そこで、(a)に示すEWを遅延させた信号Ewdはハイレベルとなる。従って、ライトドライバがイネーブルとなり、アクセスビット線電位供給用ドライバからは0Vが供給される。この時、読み出し動作時アクティブとなるER信号や、リセット動作時アクティブとなるERST信号はタイミングチャートに示すようにローレベルである。この場合、ERST信号の遅延信号ERSTdはローレベルであり、ERSTdb信号はハイレベルであるために、リセットドライバの出力はフローティング状態となる。また、ER信号はローレベルであるために、リードドライバの出力はフローティング状態となる。同様にリセット動作時には6Vを供給し、書き込み用ライトドライバ及び読み出し動作用リードドライバの出力はフローティング状態となる。また、読み出し動作時には、選択されたセルのビット線に書

きこみ動作と同様に 0 V とし、書き込み動作用ライトドライバ及びリセット動作用リセットドライバの出力はフローティング状態となる。

【 0 0 4 4 】

図 1 3 はソース電圧印加用ドライバ及びビット線電位供給用ドライバの一例を示す回路図である。

ソース電圧印加用ドライバ K 1 は、書き込み時、リセット動作時及び読み出し動作時には、選択メモリセル MC a に接続されたソース線に対して、V d d 電位を供給する。また、書き込み動作時、リセット動作時、及び読み出し動作時には、選択されない全ビット線に対して 3 V を供給するものである。

【 0 0 4 5 】

図 1 4、図 1 5 はリセット動作を行う別のアクセス方法を説明する回路図である。図 2 乃至図 1 1 の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

(他のリセット動作の説明)

図において選択されたメモリセル MC a における可変抵抗素子 R c の抵抗値をリセットするには、選択メモリセル MC a の可変抵抗と接続されているビット線 B 2 に V d d (3 V) を印加する。また、選択メモリセル MC a の T r Q c のゲートに接続されたワード線 W 2 に V d d + Δ V (3 + 1 = 4 V) を印加し、その他のワード線は非アクティブ状態からの 0 V 印加の状態を維持する。そして、選択するメモリセルの T r Q c のソースに接続されているソースドライバ線 S D 1 には 0 V を印加する。

【 0 0 4 6 】

また、非選択の全ビット線には 0 V を印加することによって、非選択メモリセル MC 内の可変抵抗素子 R c 間に電位差が生じないように対策を講じる。

これは、前述した抵抗値リセット動作にて説明したように、コラムデコーダ C D 内の T r E 1、E 2、E 3 をコラムアドレス信号 (線) C D S 4、C D S 6、C D S 8 によりオンすることによって、ビット線 B 4、B 6、B 8 に電位線 C D B H の 0 V を印加する。一方、選択メモリセル MC a に接続したビット線 B 2 に接続する T r E 0 は、入力されたコラムアドレス信号 C D S 2 に基づいて、オフ状

態となり、これに伴い選択T r F 0がオンする。これにより、矢符Aで示す電流経路を通じてビット線B 2の電位は電位線C D B Lの電位V d dに設定される。

【0047】

この入力条件の基では、ビット線B 2から選択メモリセルMC a内のT r Q cを通り、ソースドライブ線S D 1に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMC a内の可変抵抗素子R cに電圧を印加することができる。可変抵抗素子R cのリセット動作（抵抗値の低減）を実行することができる。そしてこのビット線B 2からV d dを印加することによって、可変抵抗素子R cの抵抗値は、約数百Ωにまで低減する。この一連の動作により、選択メモリセルMC aのみに書き込みデータのリセット動作が行われることになる。この場合、先のリセット動作の実施例に比べ、2 V c cを供給するための高電圧作成回路（昇圧回路）を省略することが可能となる。読み出し方式は前述と同様の手法である。

【0048】

図16、図17、図18は書き込み動作、リセット動作、読み出し動作を示すブロック図である。

図16はソースドライバK 1、メモリアレイを、図17はコラムデコーダ回路C D、読み出し用回路R Cを、図18はR e f用セルアレイR e f M C A、R e f用コラムデコーダ回路R e f C D、アクセスビット線電位供給用ドライバK 2、ソースドライバK 1 Pを示し、図2乃至図11、図14、図15の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

ソースドライバK 1は、ソースドライブ線S D 1、S D 2をそれぞれ駆動する。ソースドライブ線S D 1、S D 2は書き込み時V c cに、リセット時0 Vに、読み出し時0 Vに設定される。

アクセスビット線電位供給用ドライバK 2は、電位線C D B K 2を介して選択されたビット線に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線C D B K 2は書き込み時0 Vパルス、リセット時V c c、読み出し時V d d / 2に設定される。

ソースドライバK 1 Pは、電位線C D B K 1 Pを介して選択されたビット線に

対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線 CDBK1P は書き込み時 V_{cc} に、リセット時 0V に、読み出し時 0V に設定される。

最初、可変抵抗値が相対的に大きい場合は、上述した書き込み動作を初めて実行したときに可変抵抗値が低減される。また、可変抵抗値が相対的に小さい場合には、上述したリセット動作を初めて実行したときに可変抵抗値が上昇する。このように、可変抵抗値の初期値の大小に依存して、可変抵抗値が上昇または低減する。つまり、最初に可変抵抗値が大であれば、初めて実行した動作が上述した書き込み動作、リセット動作どちらの場合にも可変抵抗値が小に低減される。また、最初に可変抵抗値が小であれば、初めて実行した動作が上述した書き込み動作、リセット動作のどちらの場合にも可変抵抗値は大に上昇する。

【0049】

図19は本発明に係るメモリセルの周辺回路の配置を示すブロック図である。

1T1R型のメモリセルがマトリクス状に配置されたメモリアレイMAと、メモリアレイMAのソースドライブ線(SD1～)に電位を与えるローデコーダ回路RDと、ビット線(B1～)に電位を与えるコラムデコーダ回路CDと、コラムデコーダ回路CDからの出力をマルチプレクサMPX及び読み出し用Ref Levelを参照信号とする差動増幅器DIAPを介して出力する読み出し回路RCからなり、昇圧回路を必要としない記憶装置である。ローデコーダ回路RDにはRefレベル作成用アレイ、ソースドライバK1が接続され、ソースドライバK1には例えば1.5V作成回路が接続される。コラムデコーダ回路CDにはアクセスビット線電位供給用ドライバK2、ソースドライバK1P、Ref用コラムデコーダ回路RefCDが接続される。

【0050】

図20は比較のために示すフラッシュメモリの周辺回路の配置を示すブロック図である。

このブロック図では従来技術の一例として、フラッシュメモリが必要とする昇圧回路LUCや、ベリファイ回路VFCを付加した状態を示す。従来のフラッシュメモリでは、書き込み動作時に約10V程の高電圧をメモリセルのゲート電極

に印加する必要がある。また、書き込みデータのイレーズ（リセット）動作時には、メモリセルのゲート電極に、 -9 V 程の負電圧を供給する必要がある。従って、図20に示すブロック図では、ソース（電圧印加用）ドライバK1に昇圧回路LUCを設けて、書き込み動作時には約 10 V 、イレーズ動作時には、約 -9 V を供給する必要があった。

【0051】

それに比べ、ペロブスカイト構造を使用した本発明に係る1T1R型のメモリセルでは、電源電圧が $2\sim 5\text{ V}$ 程度の低電圧にて書き込み動作、リセット動作、読み出し動作が可能となることから、図19に示すように、従来必要とした昇圧回路LUCを削除することができ、周辺回路の簡素化、低消費電力化が図れる。

更に、ペロブスカイト構造を使用した本発明に係る1T1R型のメモリセルでは、図19に示す様に、ベリファイ動作が不要であることからベリファイ回路VFCが不要になる。

従来のフラッシュメモリでは、書き込み動作後、選択されたメモリセルに所望のスレッシュホールド電圧が書き込まれているかを、判断するために、選択されたメモリセルのデータを読み出し回路で読み出し動作を実行し、正しいデータが書き込まれているかを判断する必要がある（ベリファイ動作）。そのために、書き込み動作の後に必ず、ベリファイ動作を実行する必要があるため、書き込み動作が極端に遅くなる。ベリファイ動作後、書き込みデータが正しくない場合には、再度書き込み動作、ベリファイ動作を実行する必要が生じる。

【0052】

しかし、ペロブスカイト構造を使用した本発明に係る1T1R型のメモリセルでは、1サイクルの書き込み動作、及びリセット動作にて、メモリセル内の抵抗値が変化し、しかも、安定した変化を達成することが可能なために、ベリファイ動作が不要となる。つまり、ベリファイ動作が不要な分だけ、書き込み動作、リセット動作に要する時間を大幅に短縮することができる。

【0053】

＜実施の形態2＞

実施の形態2におけるメモリセルは、薄膜材料PCMO等を可変抵抗素子とし

て用い、電流制御素子として実施の形態 1 における F E T に変え、P N 接合ダイオード（以下ダイオードという）を使用したものである。

図 2 1 は本発明に係るメモリアレイの構成を示す説明図である。同図（a）は概略平面図を、（b）は（a）の矢符 b b における概略断面図を、（c）は（a）の矢符 c c における概略断面図を示す。

ワード線 W 1 ～ W 5 とビット線 B 1 ～ B 5 との交点にダイオード及び可変抵抗素子の直列構成からなるメモリセルを作成することによって、大幅な微細化が可能となる。各ワード線 W 1 ～ W 5 はダイオードのアノードをロー方向に共通に接続している。ダイオードのカソードは可変抵抗素子の 1 端に接続され、可変抵抗素子の他の端子はコラム方向に共通に接続され各ビット線 B 1 ～ B 5 に接続される。このように接続することによりメモリアレイが構成される。図においては、ワード線 W 2 とビット線 B 4 との交点（実線に重ねて破線で幅を示す）にあるメモリセルをアクセスメモリセル K として示している。ここでは $5 \times 5 = 25$ のメモリセルが形成されている。このメモリセルは 1 個のダイオード（D i o d e）と 1 個の可変抵抗素子（R e s i s t o r）との組み合わせであるから 1 D 1 R 型（メモリセル）という。また、参考書き込み動作時、リセット動作時におけるワード線 W 1 ～ W 5、ビット線 B 1 ～ B 5 への印加電圧を電圧値で表示している。

【 0 0 5 4 】

ワード線 W 1 ～ W 5、ビット線 B 1 ～ B 5 は通常ポリシリコンにより構成される。（b）においては、各ワード線 W 1 ～ W 5 から各ダイオードの P N 接合を通り、PCMO により作成された可変抵抗素子を通りビット線 B 4 に抜ける電流経路が形成される。（c）においては、ワード線 W 2 から各ダイオードの P N 接合を通り、PCMO により作成された可変抵抗素子を通り各ビット線 B 1 ～ B 5 に抜ける電流経路が形成される。

【 0 0 5 5 】

このように構成したメモリアレイの動作方法について説明する。

（書きこみ動作）

図 2 2、図 2 3 は本発明に係るメモリセルへの書き込み動作を説明する回路図

である。

本発明に係る可変抵抗素子へのデータの書き込みは、可変抵抗素子間に2Vを与えれば書き込み動作が可能である。また、ダイオードの逆方向耐圧は2Vのものをを用いた場合について以下に説明する。

このメモリアレイが非アクティブ時（プリチャージ状態）には、全ビット線を0V、全ワード線を0Vに印加する。選択されたメモリセルMCaへの書き込み動作を実行する（選択メモリセルMCa内の可変抵抗素子の抵抗値を上昇させる）には、選択メモリセルMCa内の可変抵抗素子に接続されているビット線B2に2Vを印加し、その他の全ビット線には0Vを印加する。また、選択メモリセルMCaのダイオードに接続されたワード線W2には-2Vを印加する。その他の全ワード線には0Vを印加する。各ワード線W1～W6はワード電圧印加用ドライバWDC1～WDC6（部分のみ図示）により電位を確定する。

【0056】

この入力条件の下では、図22に示すように、ビット線B2から選択メモリセルMCa内の可変抵抗素子及びダイオード（逆方向電圧が印加されている）を通り、矢符Aで示すワード電圧印加用ドライバWDC2に抜ける唯一の電流経路ができるため、選択メモリセルMCa内の可変抵抗素子に電圧を印加することができ、可変抵抗素子に書き込み動作（メモリセル内可変抵抗値の上昇）を実行することができる。

そしてこの条件の下で、選択メモリセルMCaに接続したビット線B2から2Vを印加し、選択されたメモリセルに接続したワード線W2には-2Vを印加することによって、可変抵抗値は、約1MΩにまで上昇する。この一連の動作により、選択されたメモリセルのみに書き込みが行われることになる。

【0057】

また、選択メモリセルMCa内の可変抵抗素子以外の可変抵抗素子の抵抗値が変動しないように、選択メモリセルMCa内の可変抵抗素子以外の可変抵抗素子間には電位差が生じないように、配慮する必要がある。

このために、図23中のコラムデコーダCD内のTrE1、E2、E3がすべてONすることによって、選択されない全ビット線には0Vを印加することがで

きる。また、選択メモリセルMC aに接続したビット線B 2を選択するT r E 0のみ、入力されたコラムアドレス（コラムアドレス信号（線）C D S 2、C D S 4、C D S 6、C D S 8）に基づいて、オフ状態となり、これに伴いビット線Cに2 Vを供給するT r F 0がオンすることになる。その他の2 V供給用T r F 1、F 2、F 3はオフ状態となり、他のビット線には2 Vは供給されない。従って、選択メモリセルMC aの両端には4 Vの電位差が発生することになるが、今ダイオードの逆方向の耐圧（ブレークダウン電圧）を2 Vとしているために、選択メモリセルMC a内の可変抵抗素子の端子間には2 Vが供給される。そして、この条件の下で可変抵抗値は、約1 M Ω にまで上昇する。

なお、T r E 0、E 1、E 2、E 3、F 0、F 1、F 2、F 3の制御はコラムアドレス信号（線）C D S 2、C D S 4、C D S 6、C D S 8によりなされることは実施の形態1の場合と全く同様であり、詳細な説明は省略する。

【0 0 5 8】

（リセット動作）

図2 4、図2 5は本発明に係るメモリセルへのリセット動作を説明する回路図である。

選択メモリセルMC a内の可変抵抗素子の抵抗値をリセットするには、選択メモリセルMC a内のダイオードと接続されているワード線W 2に4. 5 Vを印加する。また、選択されない他のワード線W 1、W 3～W 6には2 Vを印加する。各ワード線W 1～W 6への電圧の供給はワード電圧印加用ドライバW D C 1～W D C 6（一部のみ図示）により供給される。そして、選択メモリセルMC a内の可変抵抗素子に接続されているビット線B 2には2 Vの印加状態を維持する。その他の全ビット線B 1、B 3～B 8には4 Vを印加することによって、非選択メモリセルMC内のダイオードには逆方向に2 Vの電位差が発生するが、逆方向ブレークダウン電圧が2 V以上であるため電流は流れない。前述した抵抗値リセット動作にて説明したように、コラムデコーダCD内のT r E 1、E 2、E 3がオンすることによって、4 Vが選択ビット線B 2以外の全ビット線に供給される。また、入力されたコラムアドレス信号（線）C D S 2、C D S 4、C D S 6、C D S 8に基づいて、選択メモリセルMC aに接続したビット線B 2を選択するT

r E 0のみオフ状態になり、これに伴いビット線B 2に2 Vを供給するT r F 0がオンすることになる。

【0 0 5 9】

この入力条件の下では、ワード線W 2から選択メモリセルMC a内のダイオードと可変抵抗素子を通り、ビット線B 2に抜ける矢符Aで示す唯一の電流経路ができるため、メモリセルA内の可変抵抗素子の端子間に2 V以上の電位差を発生させることが可能となり、可変抵抗素子におけるリセット動作（抵抗値の低減）を実行することができる。そしてこのワード線W 2から4. 5 Vを印加することによって、可変抵抗素子の端子間には、約2 Vの電位差（順方向電圧のV f分を差し引いて約2 Vとなる。）が発生するために、可変抵抗素子の抵抗値は、約数百Ωにまで低減する。この一連の動作により、選択メモリセルMC aのみに書き込み情報（データ）のリセット動作が行われることになる。

最初、可変抵抗値が相対的に大きい場合は、上述した書き込み動作を初めて実行したときに可変抵抗値が低減される。また、可変抵抗値が相対的に小さい場合には、上述したリセット動作を初めて実行したときに可変抵抗値が上昇する。このように、可変抵抗値の初期値の大小に依存して、可変抵抗値が上昇または低減する。つまり、最初に可変抵抗値が大であれば、初めて実行した動作が上述した書き込み動作、リセット動作どちらの場合にも可変抵抗値が小に低減される。また、最初に可変抵抗値が小であれば、初めて実行した動作が上述した書き込み動作、リセット動作のどちらの場合にも可変抵抗値は大に上昇する。

【0 0 6 0】

（読み出し動作）

図2 6、図2 7、図2 8は本発明に係るメモリセルの読み出し動作を説明する回路図である。

このメモリアレイが非アクティブ時（プリチャージ状態）には、書き込み動作と同様に、全ビット線B 1～B 8を0 V（GNDレベル）、全ワード線W 1～W 6に0 Vを印加する。選択メモリセルMC aに接続されたワード線W 2に2 Vを印加し、ビット線B 2には0 Vを印加する。また、他の全ワード線W 1、W 3～W 6にはプリチャージ状態からの0 V印加を継続する。また、入力されたコラムア

ドレス信号（線）CDS 2、CDS 4、CDS 6、CDS 8に基づいて、選択メモリセルMC aに接続されたビット線B 2を除く他の全てのビット線B 1、B 3～B 8に対して2 Vを供給する。これにより、選択メモリセルMC a内の可変抵抗素子を除く他の可変抵抗素子間には、電位差が発生せず、抵抗値が変動しないように対策をとっている。

なお、ワード線W 1～W 6に対応してドレイン電流印加用ドライバのほかに、2 V作成回路J 1、図示していないが、読み出し用1.5 Vドライブ回路（非アクティブ時G 1）、読み出し用1.5 Vドライブ回路（非アクティブ時G 2）等が配置される。

【0061】

これは、図27に示すように、入力されたコラムアドレス信号（線）CDS 2、CDS 4、CDS 6、CDS 8にもとづいて、選択メモリセルMC aに接続されたビット線B 2に接続したTrE 0のみがオフ状態となり、コラムデコーダC D内の他のTrE 1、E 2、E 3は全てオン状態となることによって、2 V作成回路にて作成された2 Vを選択メモリセルMC aに接続されたビット線B 2を除く他の全てのビット線B 1、B 3～B 8（一部のみ図示）に対して供給することが可能となる。また、入力されたコラムアドレス信号（線）CDS 2、CDS 4、CDS 6、CDS 8にもとづいて、ビット線に0 Vを供給するTrF 0のみがオン状態となり、選択メモリセルMC aに接続されたビット線B 2のみに、0 Vが供給される。その結果、図24に示すように、ワード線W 2から選択メモリセルMC a内のダイオード及び可変抵抗素子を通り、ビット線B 2に抜ける矢符Aで示す唯一の電流経路が作成され読み出し動作が実行される。

【0062】

尚、図26、図27に示す様にアクティブとなる読み出し用2 Vドライブ回路に接続されたワード線W 2と接続されたメモリセルMC bにはコラムデコーダC DのTrE 1より2 Vが供給されるため、メモリセルMC b内の可変抵抗素子の端子間には電位差が発生せず、抵抗値の変動は起こらない。また、メモリセルMC cでは、メモリセルMC c内のダイオードに接続されたワード線W 1の電位が0 Vであり、ビット線B 2の電位が0 Vとなり、電流経路が作成されないため、

抵抗値の変動は起こらない。従って、アクセスされる選択メモリセルMCa以外のメモリセル内の可変抵抗素子の抵抗値は変動することは無い。

【0063】

差動増幅器DIAPの基準値となるRef LevelはRef用セルアレイRefMCAとRef用カラムデコーダ回路RefCDにて作成される。

これは選択メモリセルMCaがアクセスされたときに、Ref Level作成用のメモリセルRefA0とメモリセルRefB0も同時にアクセスされる。また、図28に示すようにRef用カラムデコーダ回路RefCDにてRef用ビット線C0とRef用ビット線C1に0Vが供給されることにより、Ref用ビット線C0とRef用ビット線C1には、メモリセルRefA0とメモリセルRefB0のデータが出力される。

【0064】

上述したようにRef用メモリセルアレイRefMCAの左半分には予め抵抗値を大に設定しておき、右半分には予め抵抗値を小に設定しておく。したがって、メモリセルRefA0から読み出されたRef用ビット線C0は低レベルを示し、メモリセルRefB0から読み出されたRef用ビット線C1は高レベルを示す。読み出し用回路RC内の読み出し用ショート回路SCReadにおいてRef用ビット線C0の信号とRef用ビット線C1の信号とをショートすることにより、これらの信号の中間値が得られる。このレベルを読み出し用回路RC内の差動増幅器DIAPのRef Levelとして入力する。Ref LevelとマルチプレクサMPXからの出力の読み出しデータとを差動増幅器DIAPにより比較して、メモリセルMCに蓄積されたデータが1か0かを識別し、読み出し動作が実行される。

【0065】

【発明の効果】

上述したように、本発明によれば、ペロブスカイト構造の薄膜材料を可変抵抗素子として利用したメモリセルを1T1R型、1D1R型として構成し、このメモリセルをマトリクス状に配置しメモリアレイを構成し、上述したアクセス手法を用いることによって、不揮発性メモリとして書き込み動作、リセット動作、読

み出し動作をランダムアクセス（1ビット単位での動作）にて行うことが可能となる。

また、低電圧で動作可能な、且つ高集積が可能なメモリセル及び該メモリセルを用いたメモリアレイ（記憶装置）を提供することが可能となる。また、メモリセルアクセス時において、隣接するメモリセルへのリーク電流が発生するのを阻止することができる周辺回路構成にしたので信頼度の高い有用な記憶装置となる。更に、書き込み動作、リセット動作、読み出し動作は各々100ns以下の高速にて動作が可能となる。また、昇圧回路、ベリファイ動作等が不要な記憶装置となる。

【図面の簡単な説明】

【図1】

本発明に係るメモリアレイの構成を示す説明図である。

【図2】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図3】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図4】

本発明に係るメモリセルのリセット動作を説明する回路図である。

【図5】

本発明に係るメモリセルのリセット動作を説明する回路図である。

【図6】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図7】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図8】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図9】

本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図10】

本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図 1 1】

本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図 1 2】

アクセスビット線電位供給用ドライバの一例を示す説明図である。

【図 1 3】

ソース電圧印加用ドライバ及びビット線電位供給用ドライバの一例を示す回路図である。

【図 1 4】

リセット動作を行う別のアクセス方法を説明する回路図である。

【図 1 5】

リセット動作を行う別のアクセス方法を説明する回路図である。

【図 1 6】

書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 1 7】

書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 1 8】

書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 1 9】

本発明に係るメモリセルの周辺回路の配置を示すブロック図である。

【図 2 0】

比較のために示すフラッシュメモリの周辺回路の配置を示すブロック図である。

【図 2 1】

本発明に係るメモリアレイの構成を示す説明図である。

【図 2 2】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 2 3】

本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 2 4】

本発明に係るメモリセルへのリセット動作を説明する回路図である。

【図 2 5】

本発明に係るメモリセルへのリセット動作を説明する回路図である。

【図 2 6】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 2 7】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 2 8】

本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 2 9】

従来技術における印加パルス数と抵抗値との関係を示すグラフである。

【図 3 0】

従来技術における印加パルス数と抵抗値との関係を示すグラフである。

【図 3 1】

従来技術におけるパルスの極性に対する依存性を示すグラフである。

【図 3 2】

従来技術におけるパルスの極性に対する依存性を示すグラフである。

【図 3 3】

従来技術におけるメモリアレイ構成を示す斜視図である。

【図 3 4】

従来のメモリアレイの構成例を示す回路図である。

【符号の説明】

Q c 電流制御素子

MC メモリセル

R c 可変抵抗素子

B 1、B 2 ビット線

W 1、W 2 ワード線

S D 1、S D 2 ソースドライブ線

CD コラムデコーダ

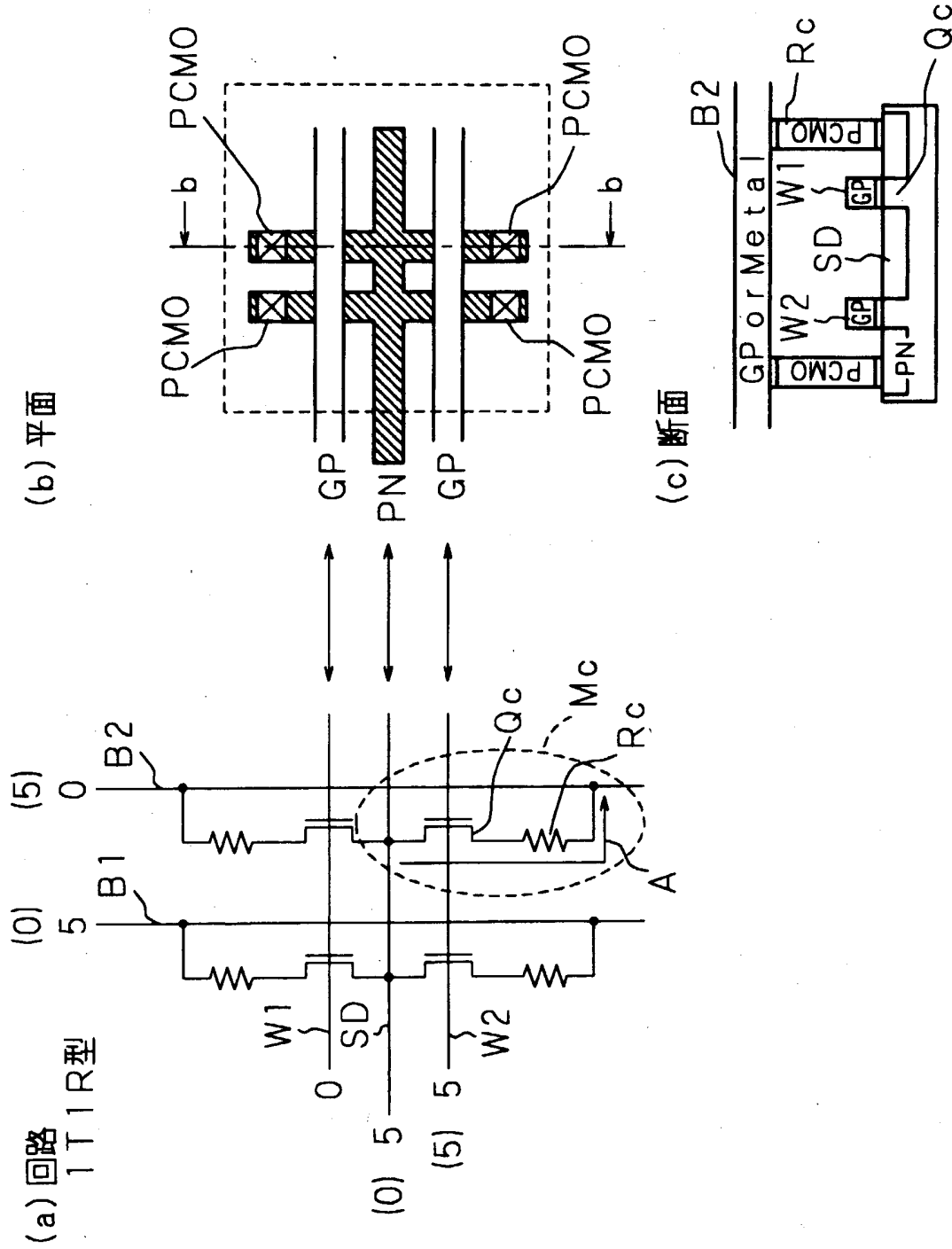
RC 読み出し用回路

RD ローデコーダ

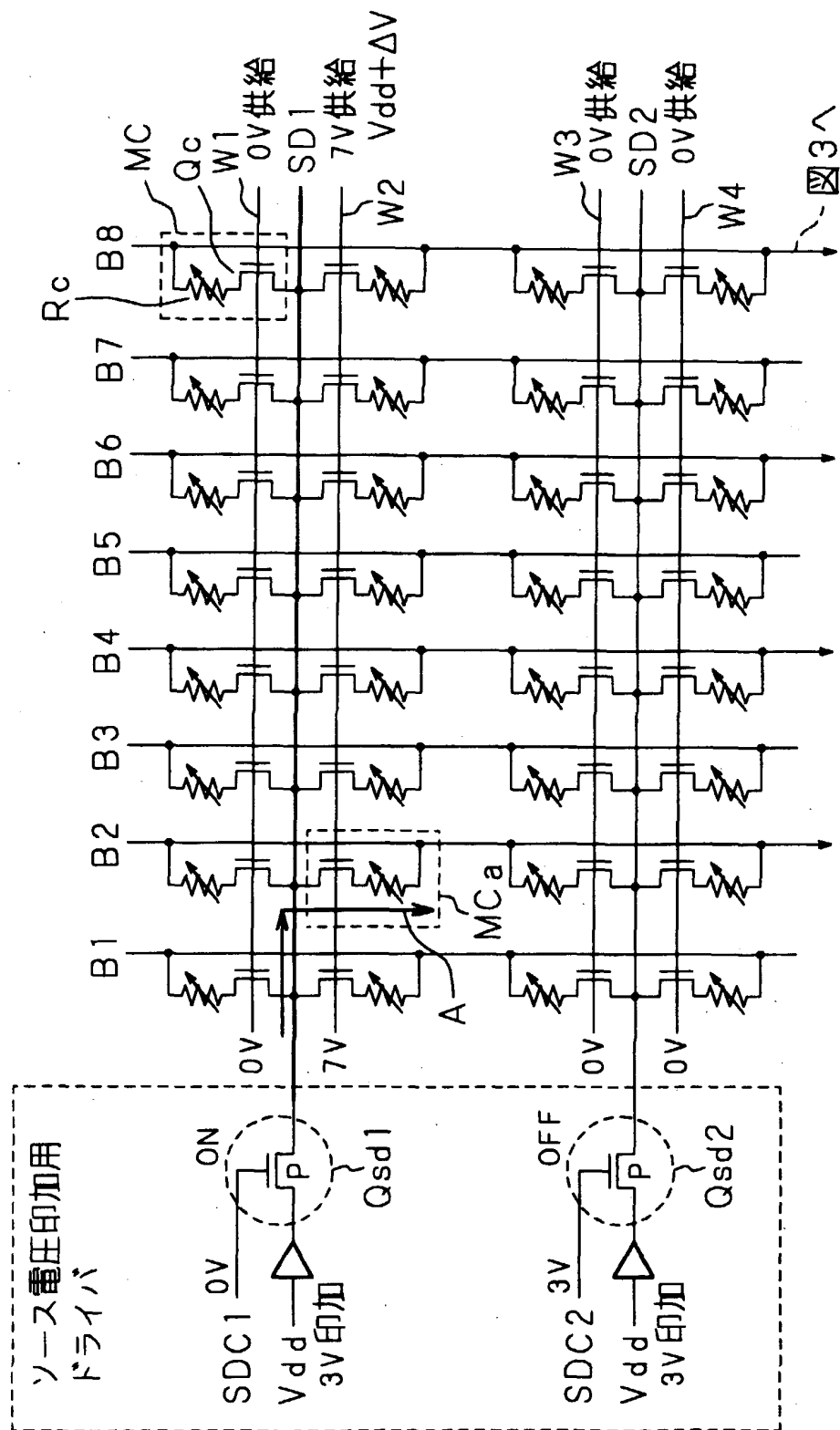
【書類名】

図面

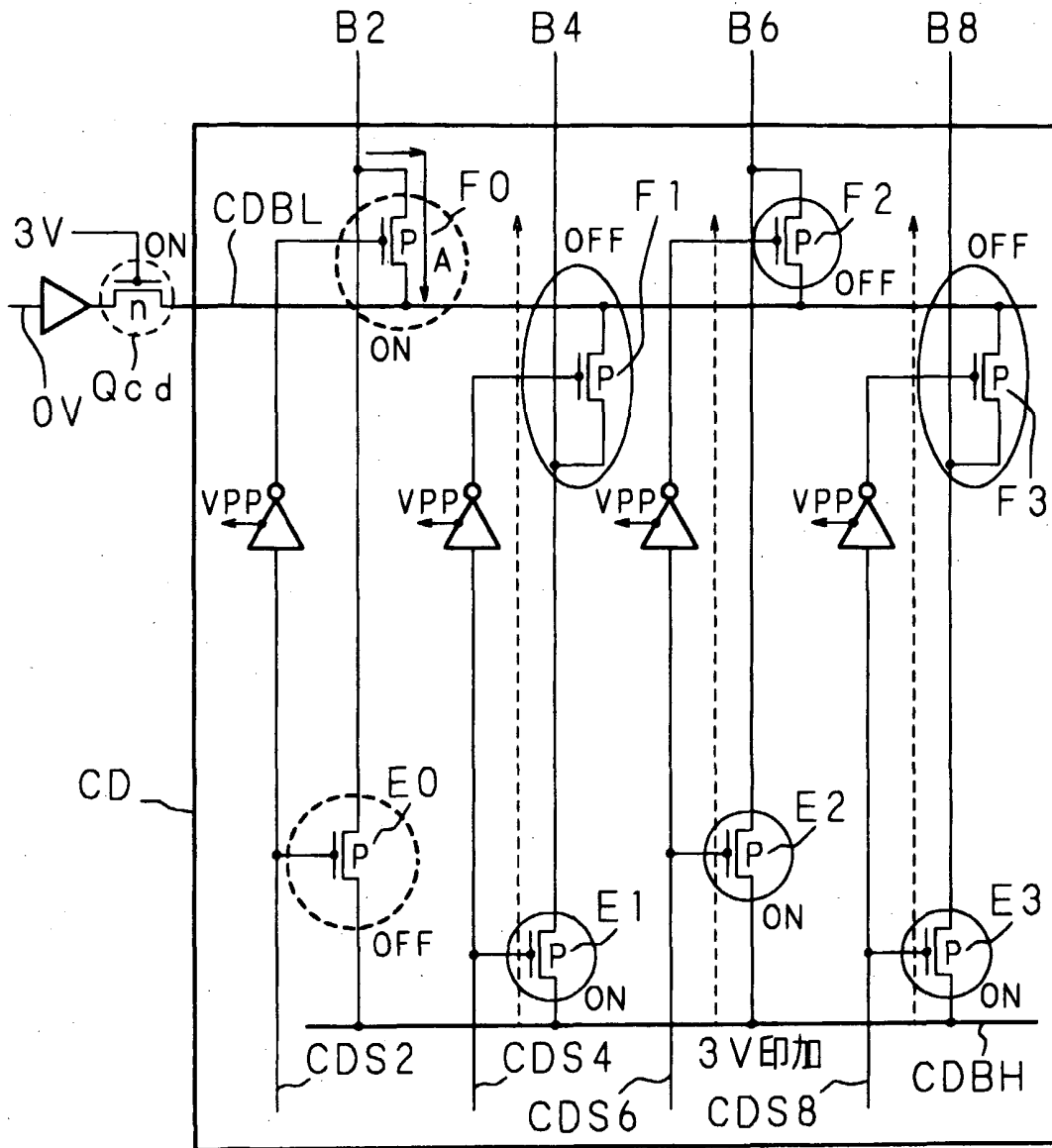
【図1】



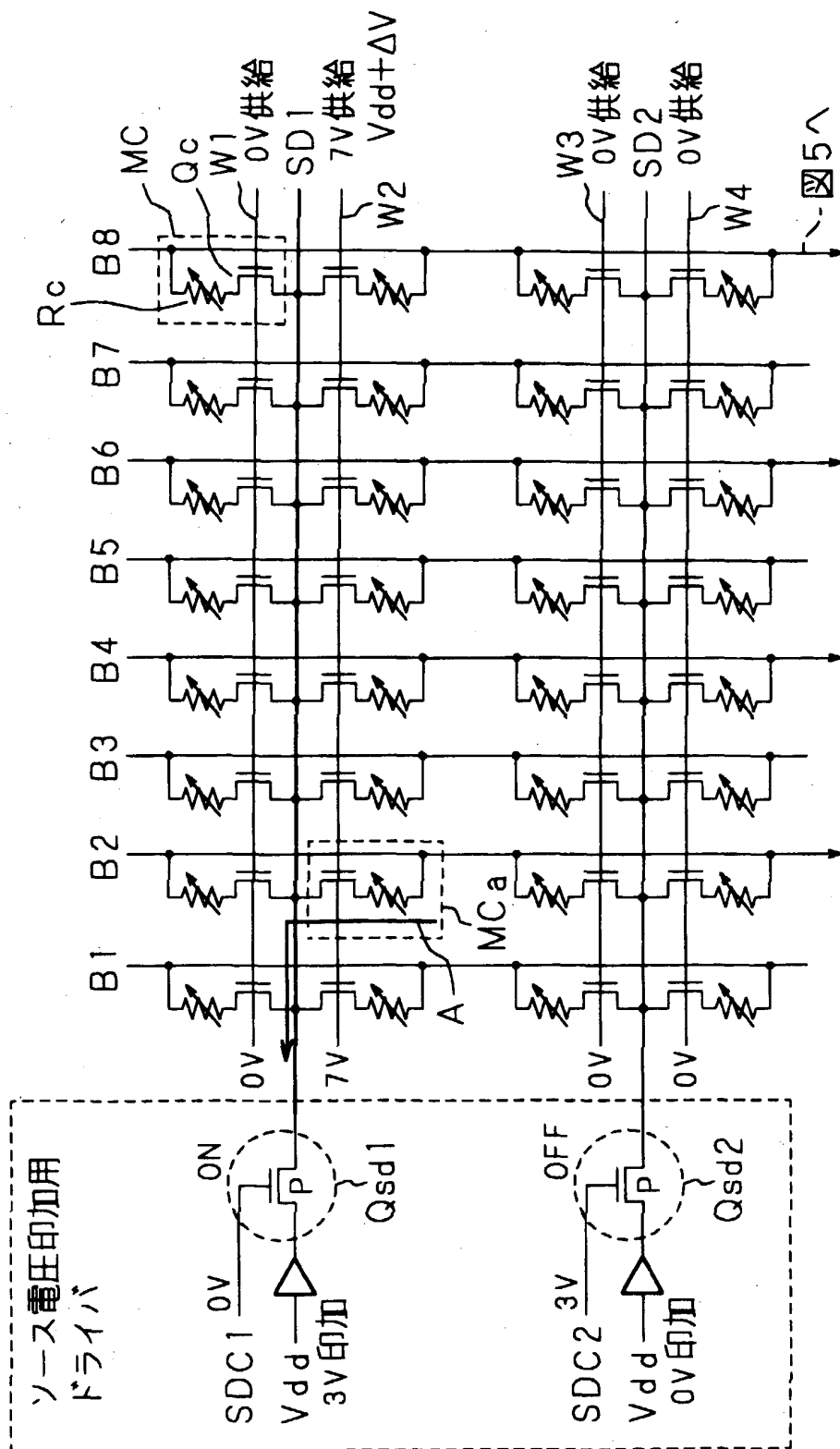
【図 2】



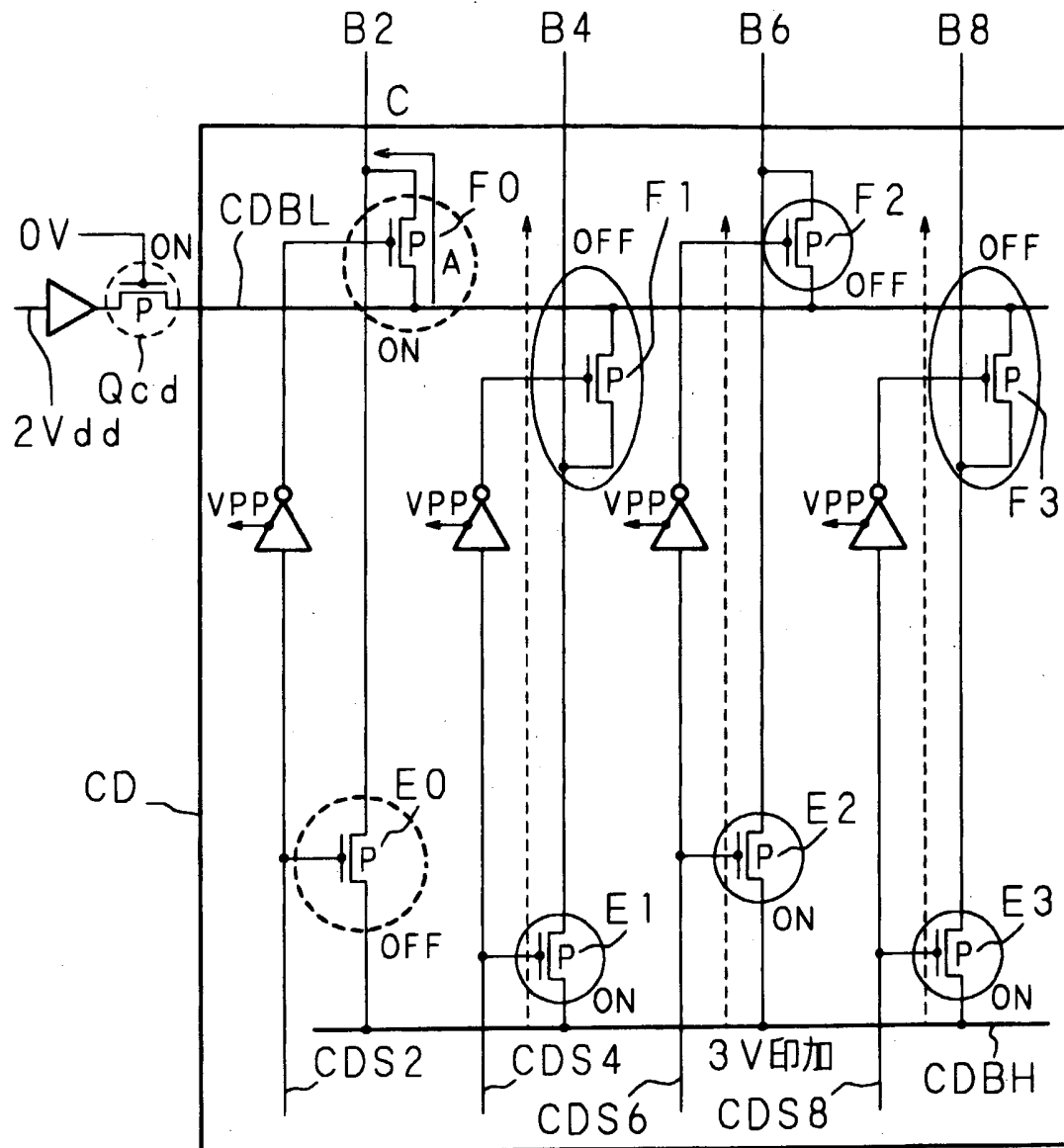
【図3】



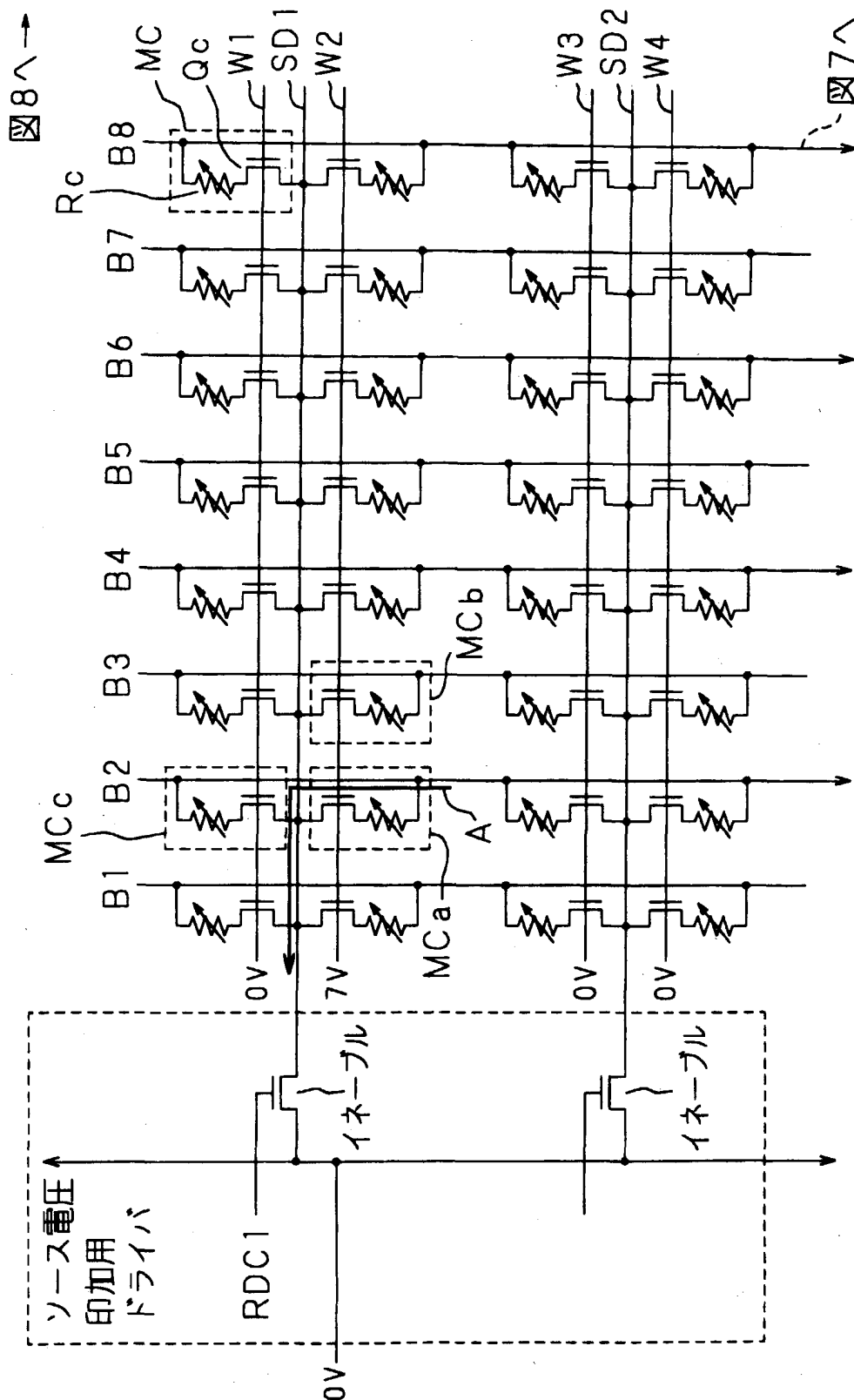
【図4】



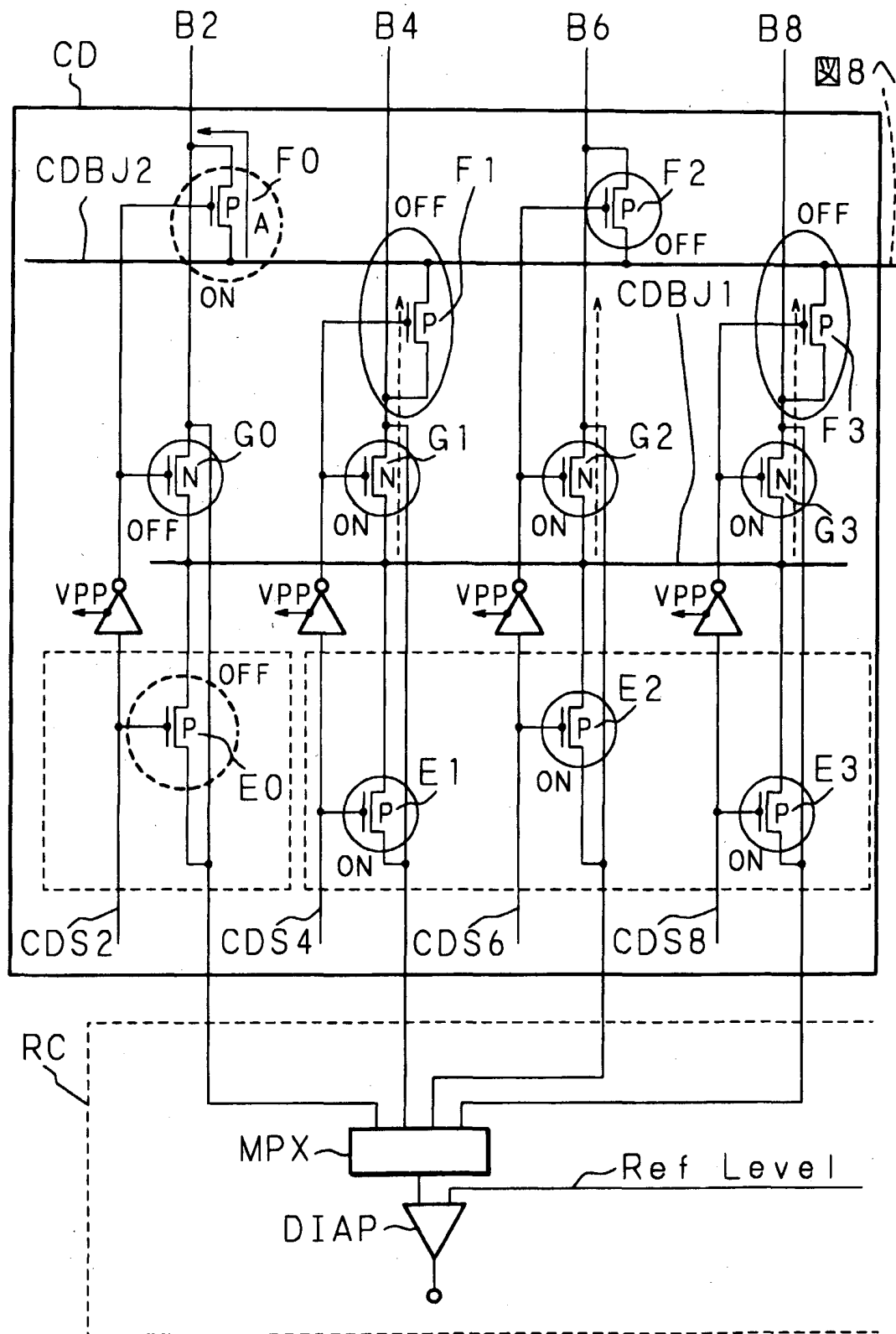
【図5】



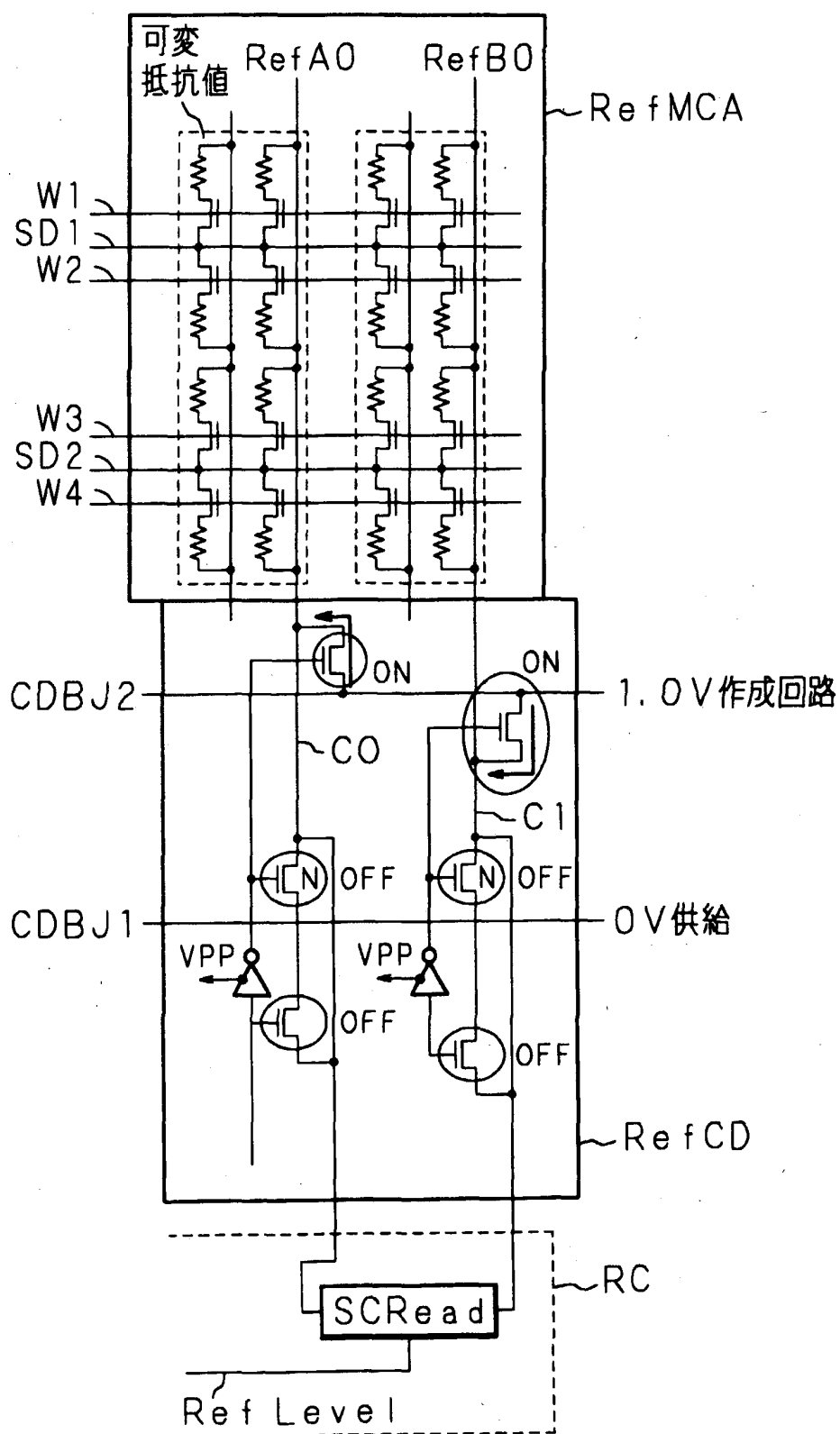
【图 6】



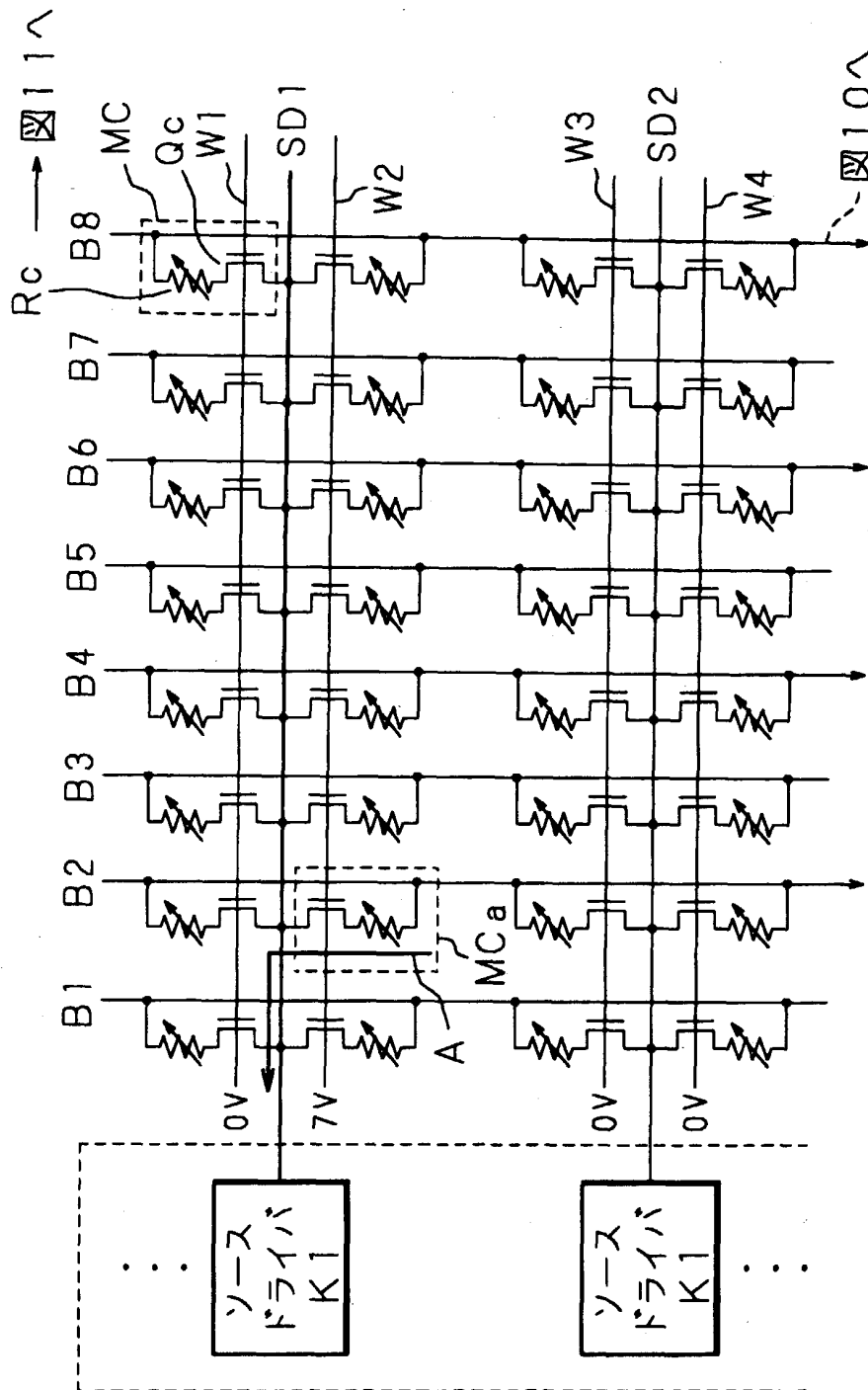
【図 7】



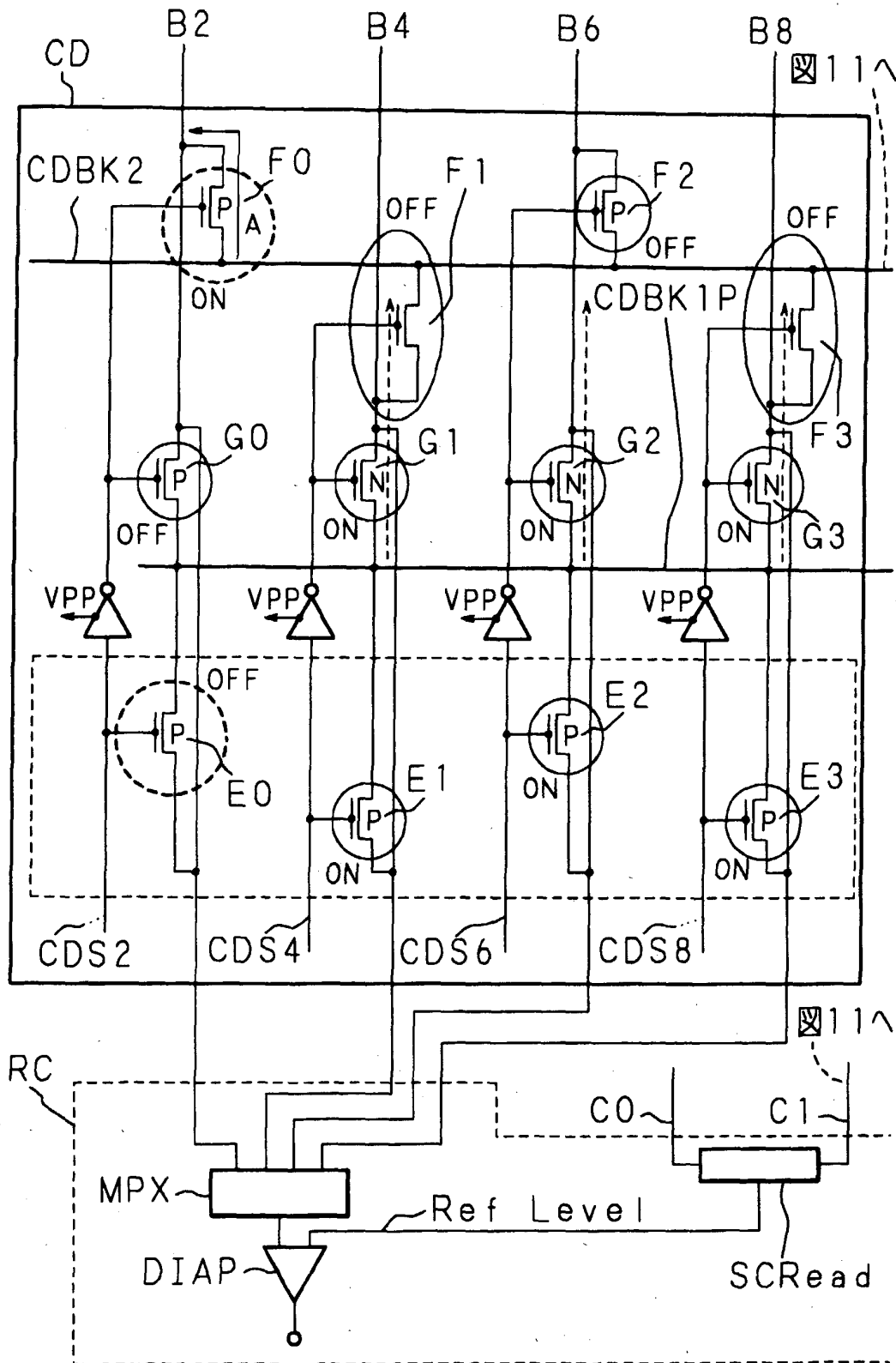
【図 8】



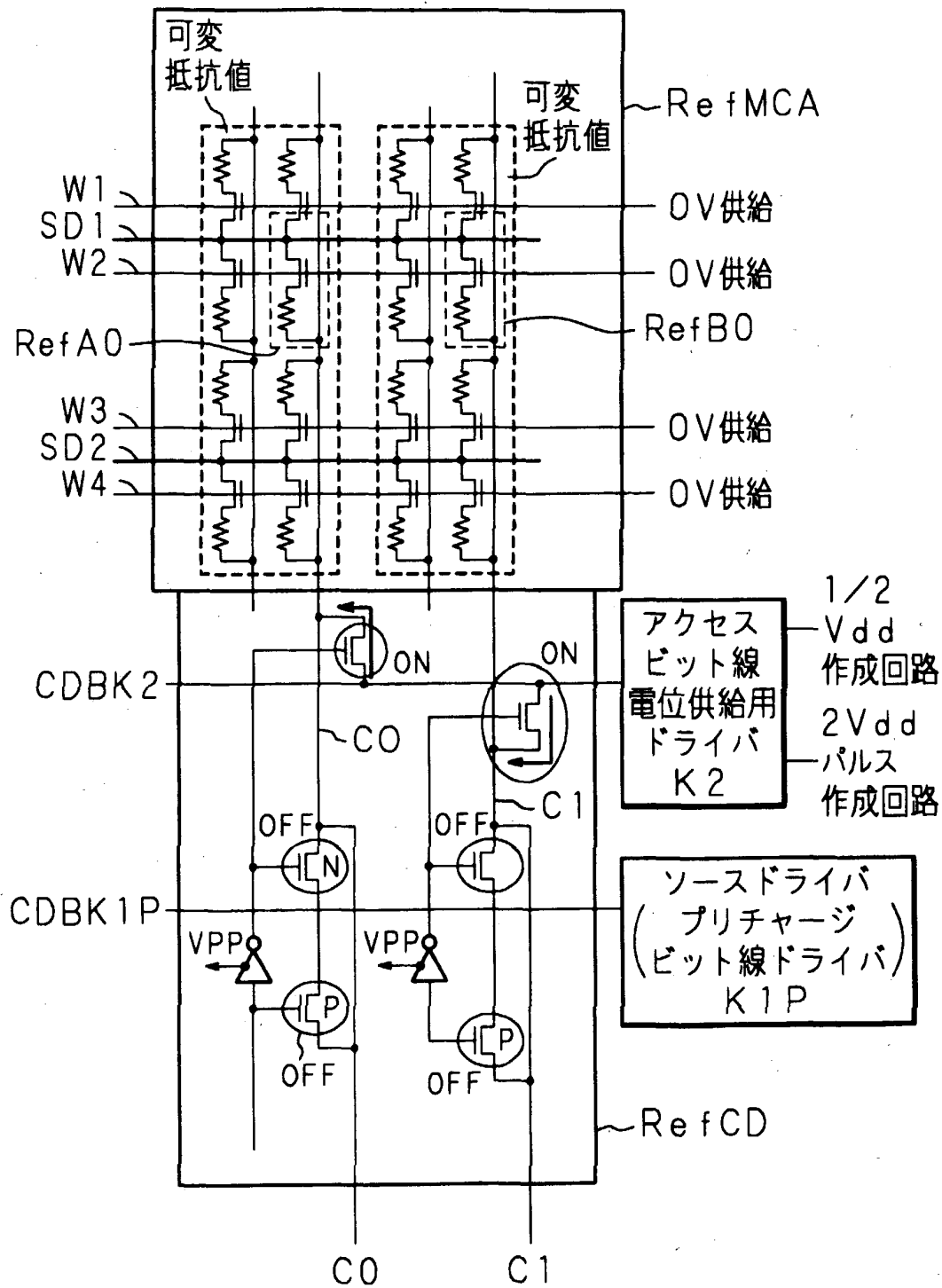
【图9】



【図10】

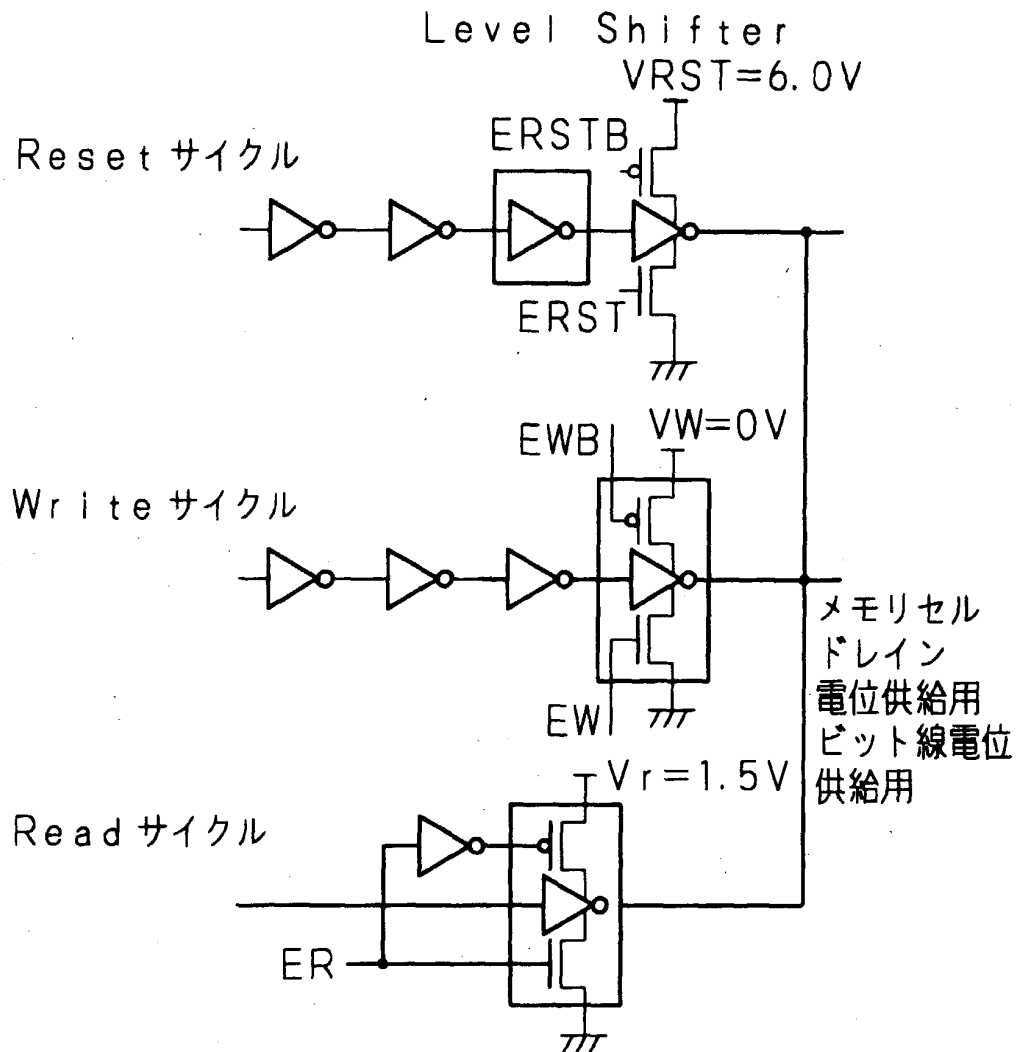


【図11】

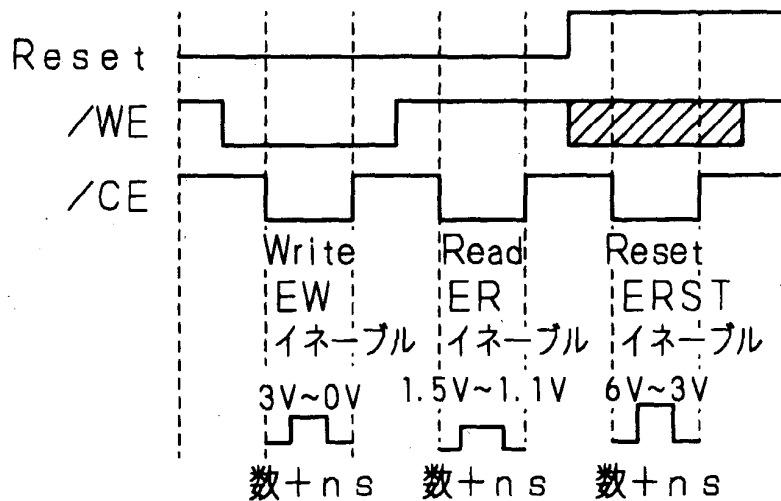


【図12】

(a) アクセスビット線電位供給用ドライバ K2



(b)



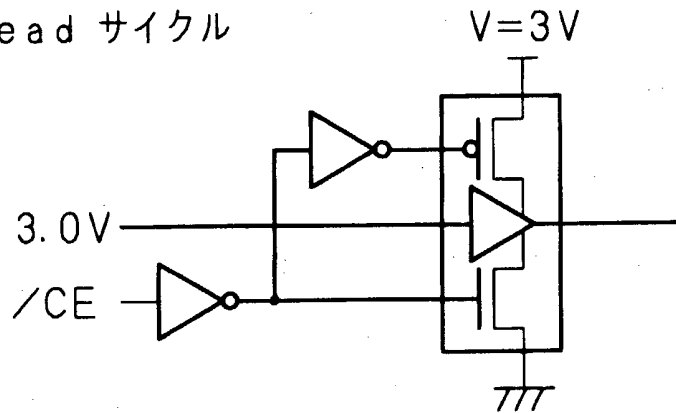
【図13】

ソース電圧印加用ドライバ 兼
ビット線電位供給用ドライバ K1

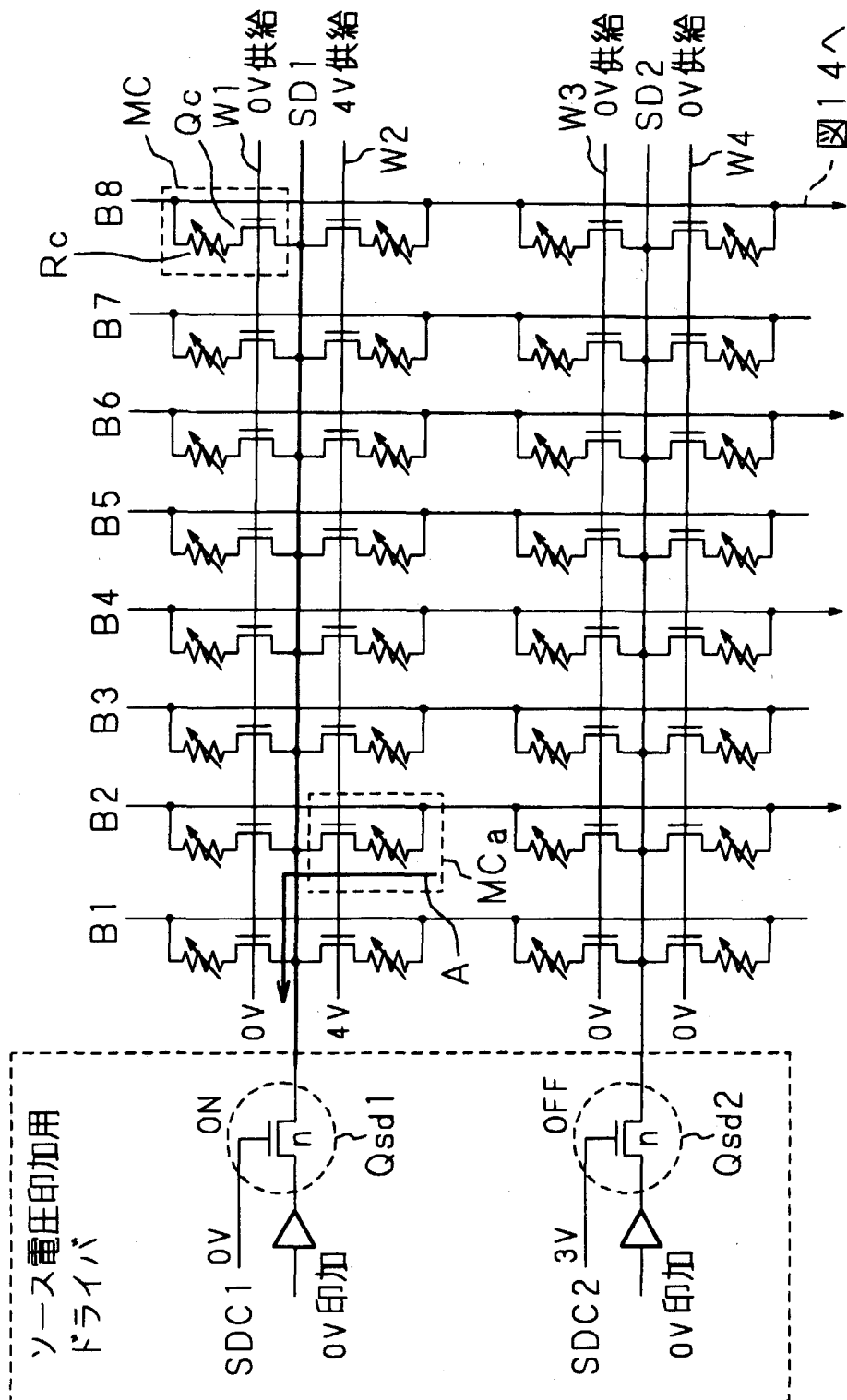
Write サイクル

Reset サイクル

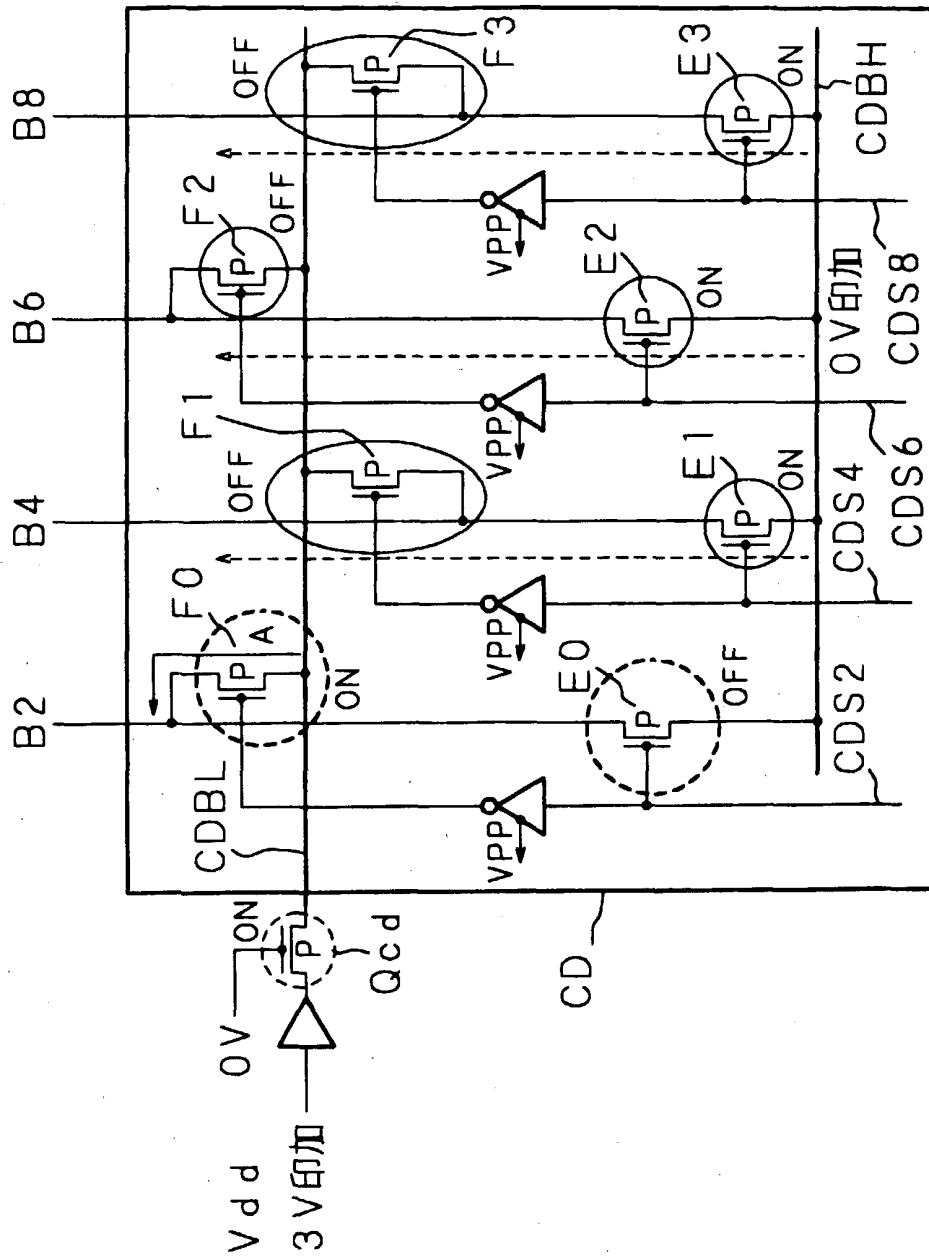
Read サイクル



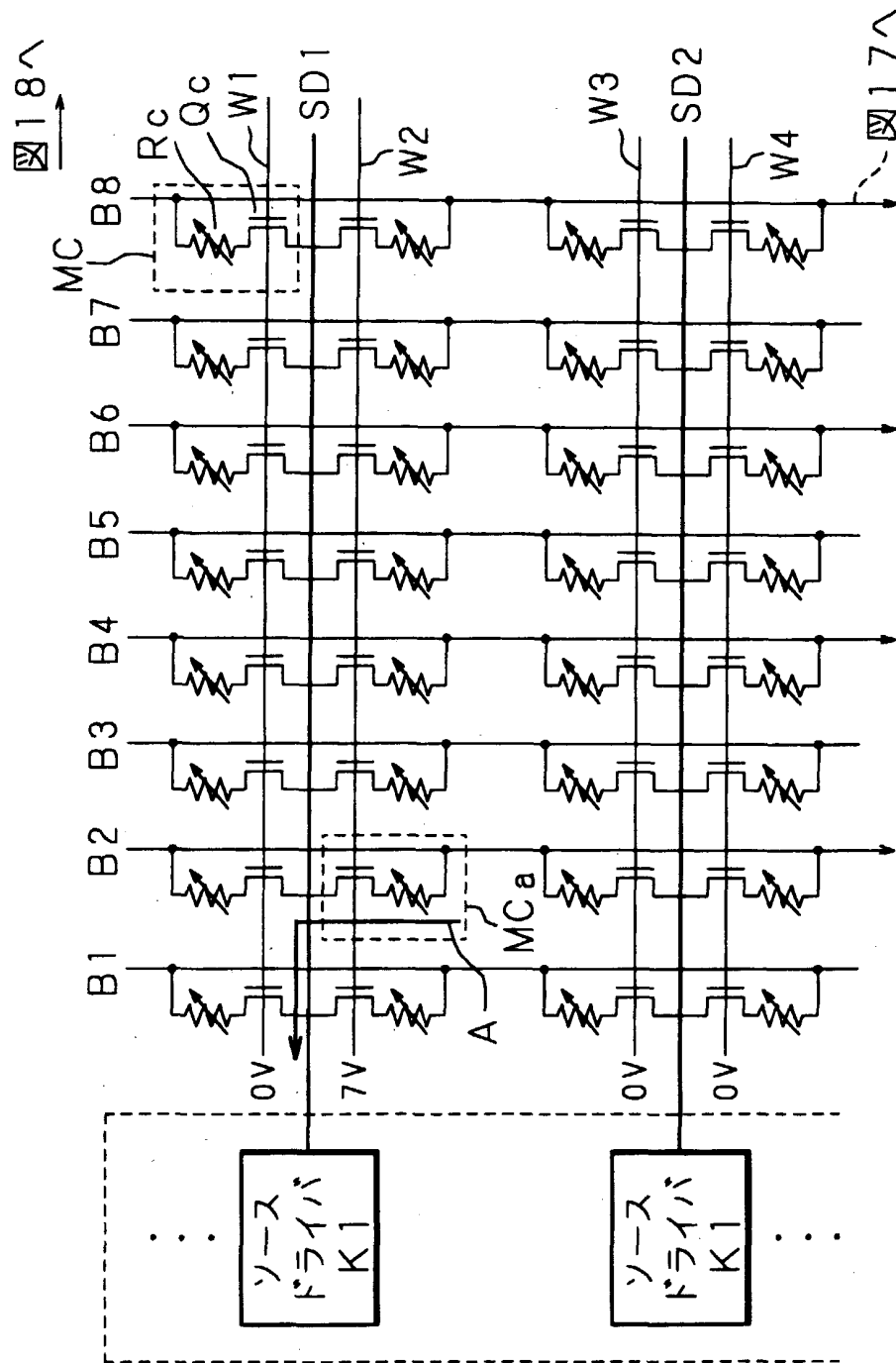
【図14】



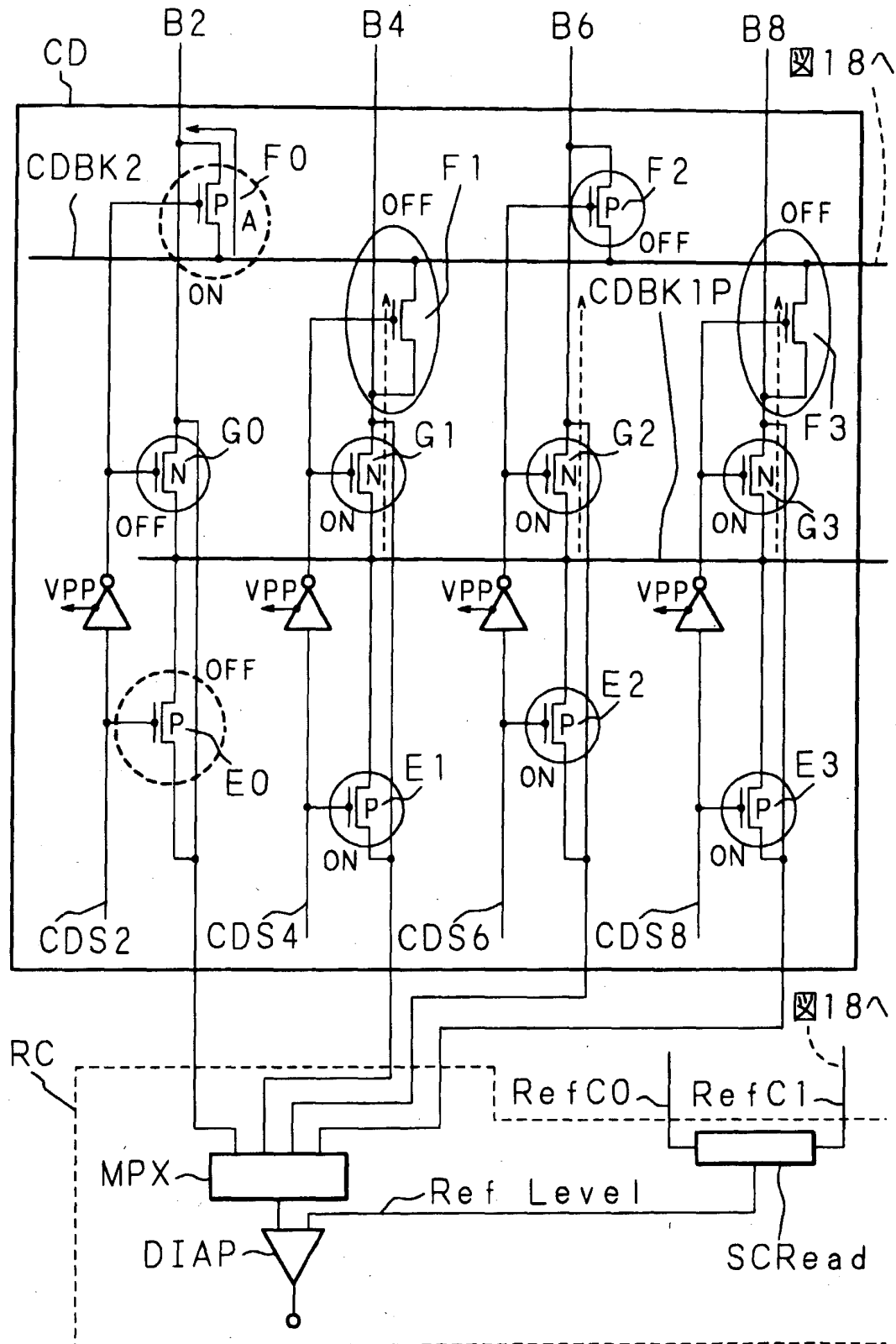
【図15】



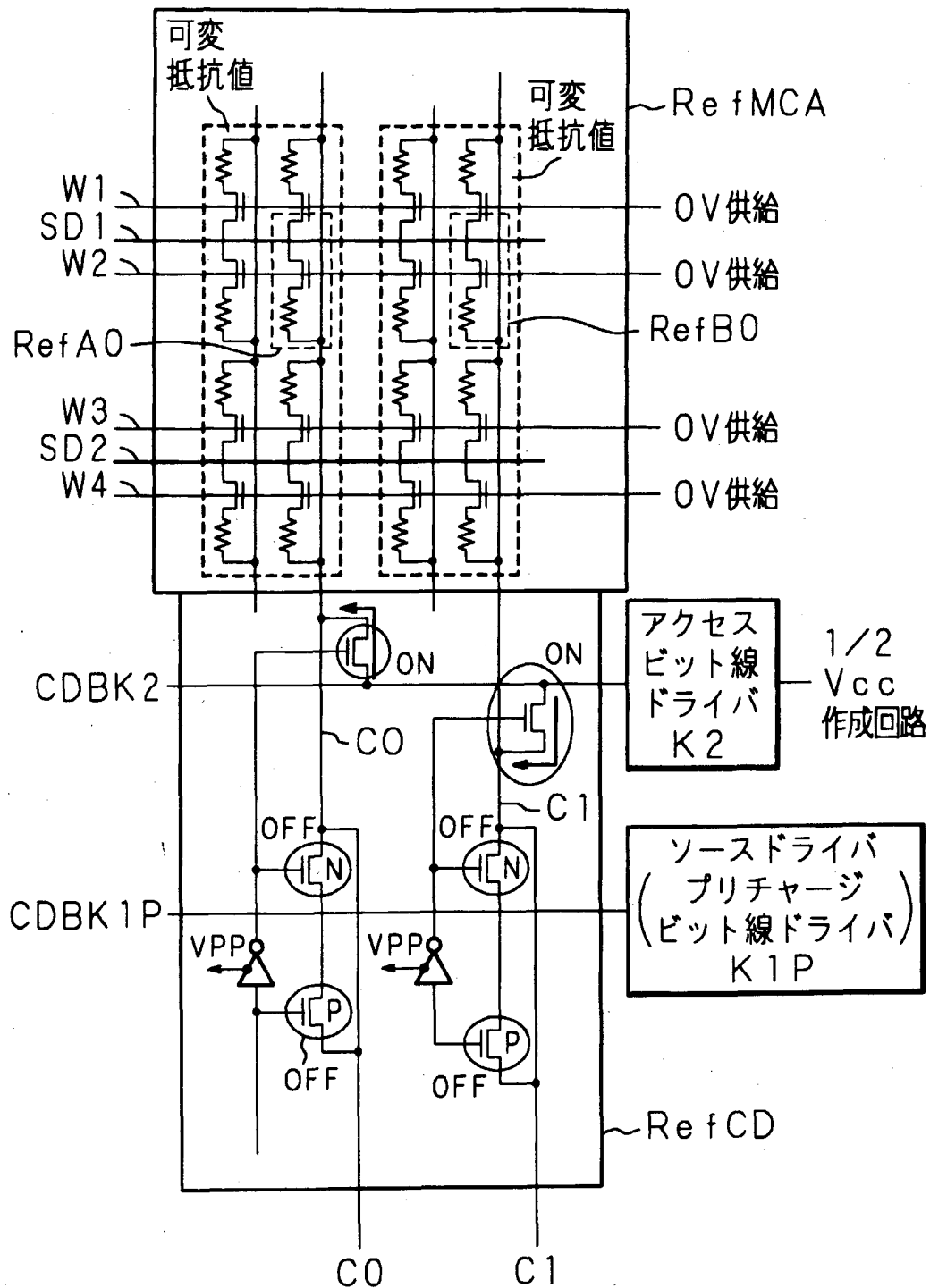
【図16】



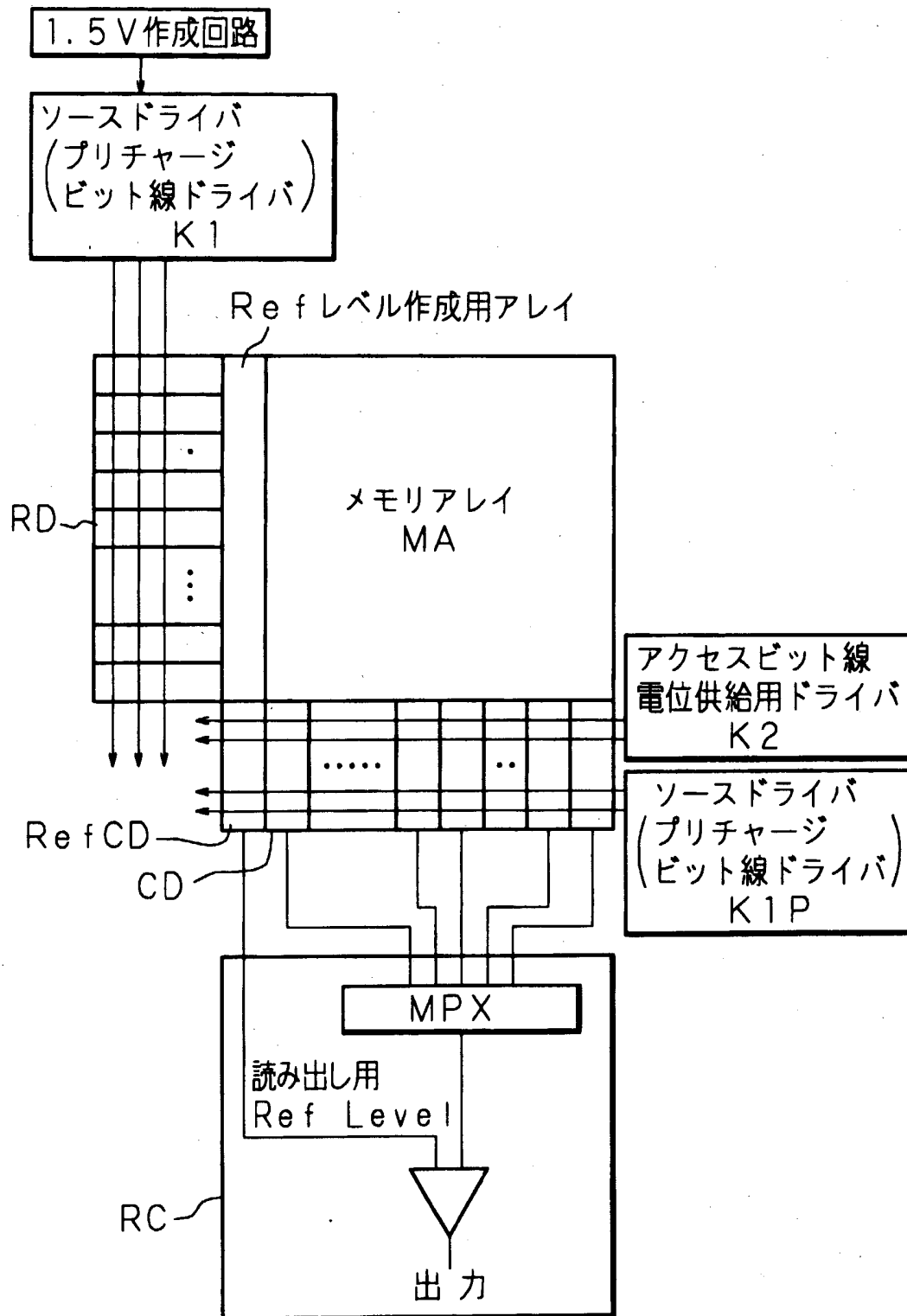
【図17】



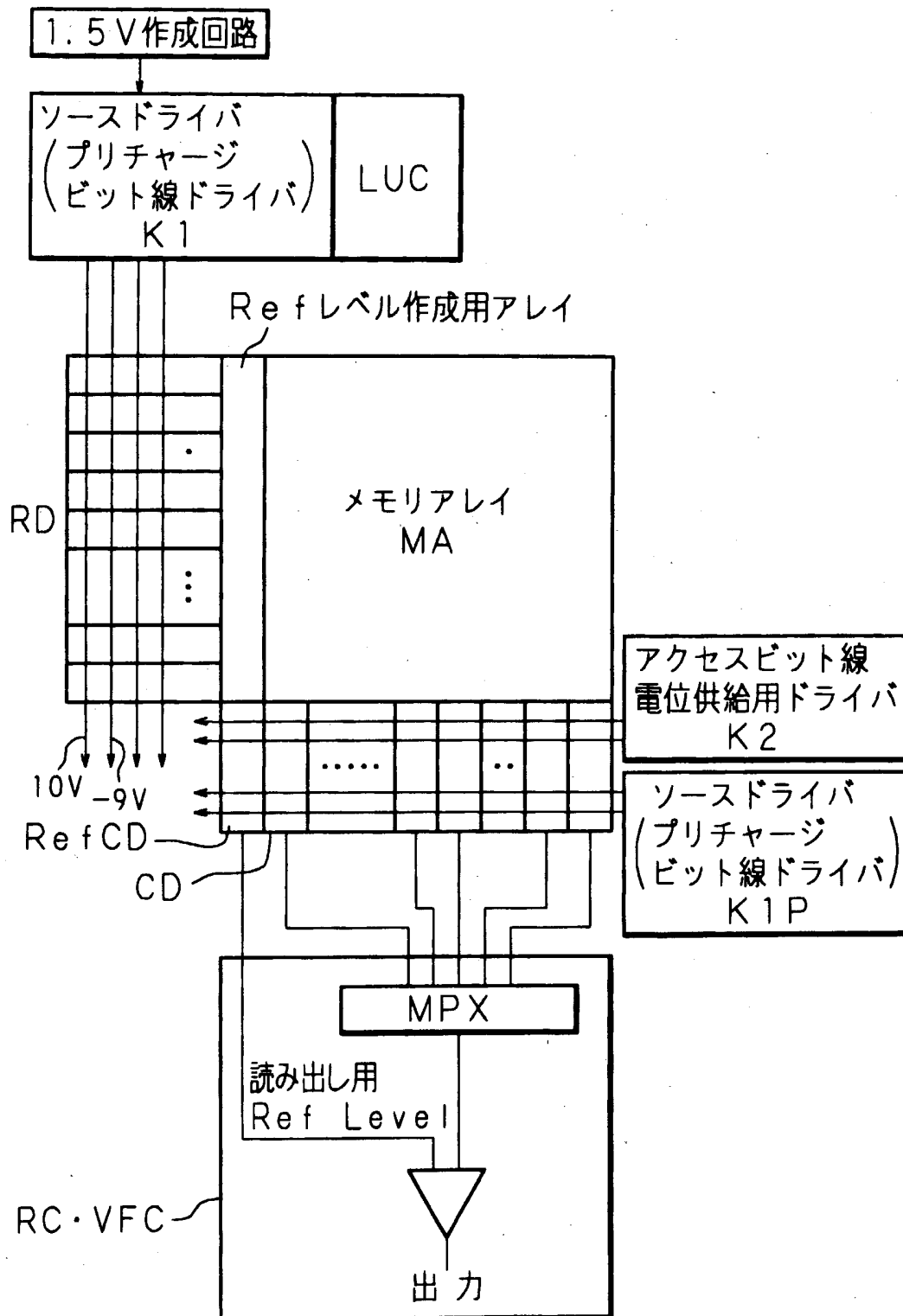
【図18】



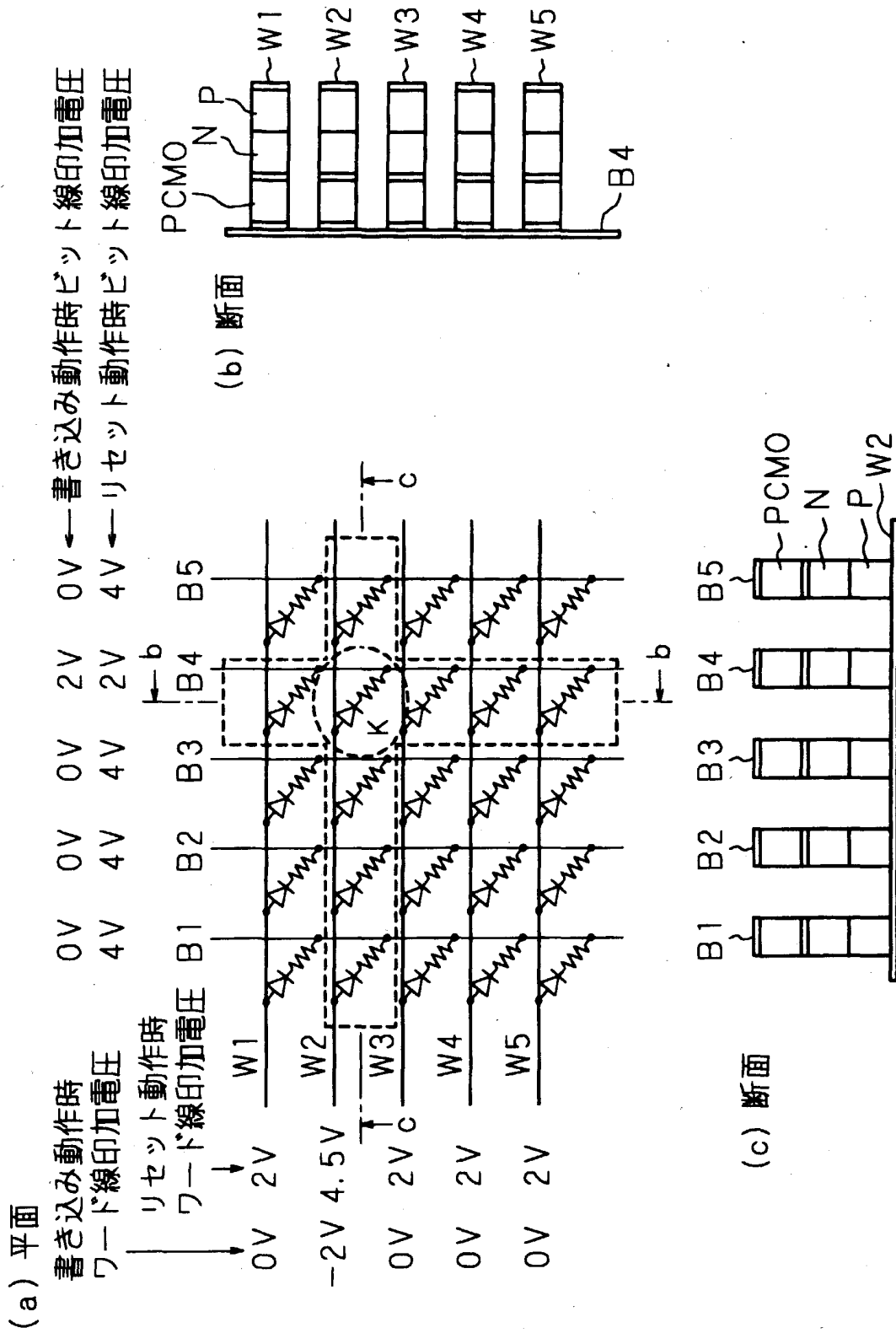
【図19】



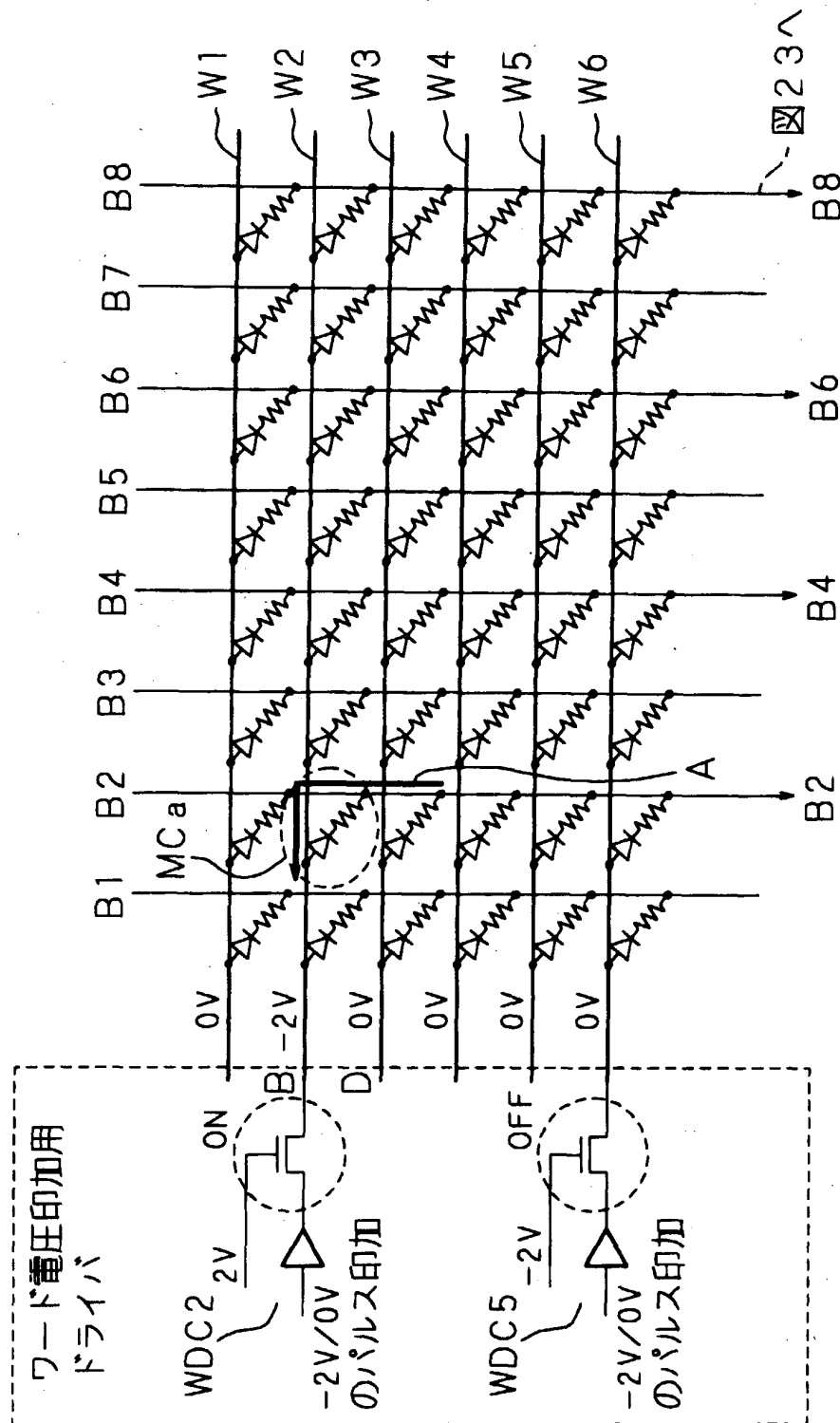
【図20】



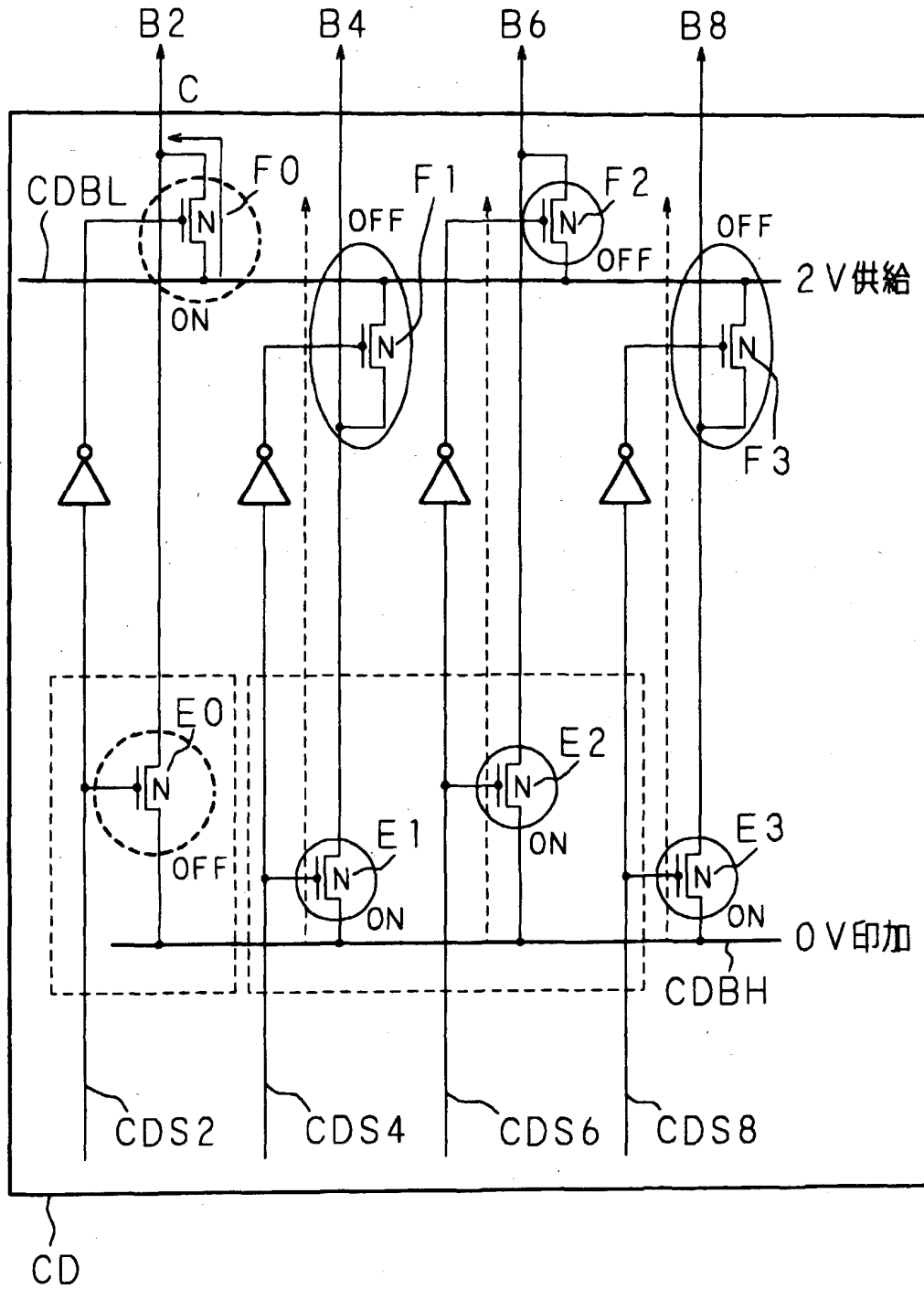
【図21】



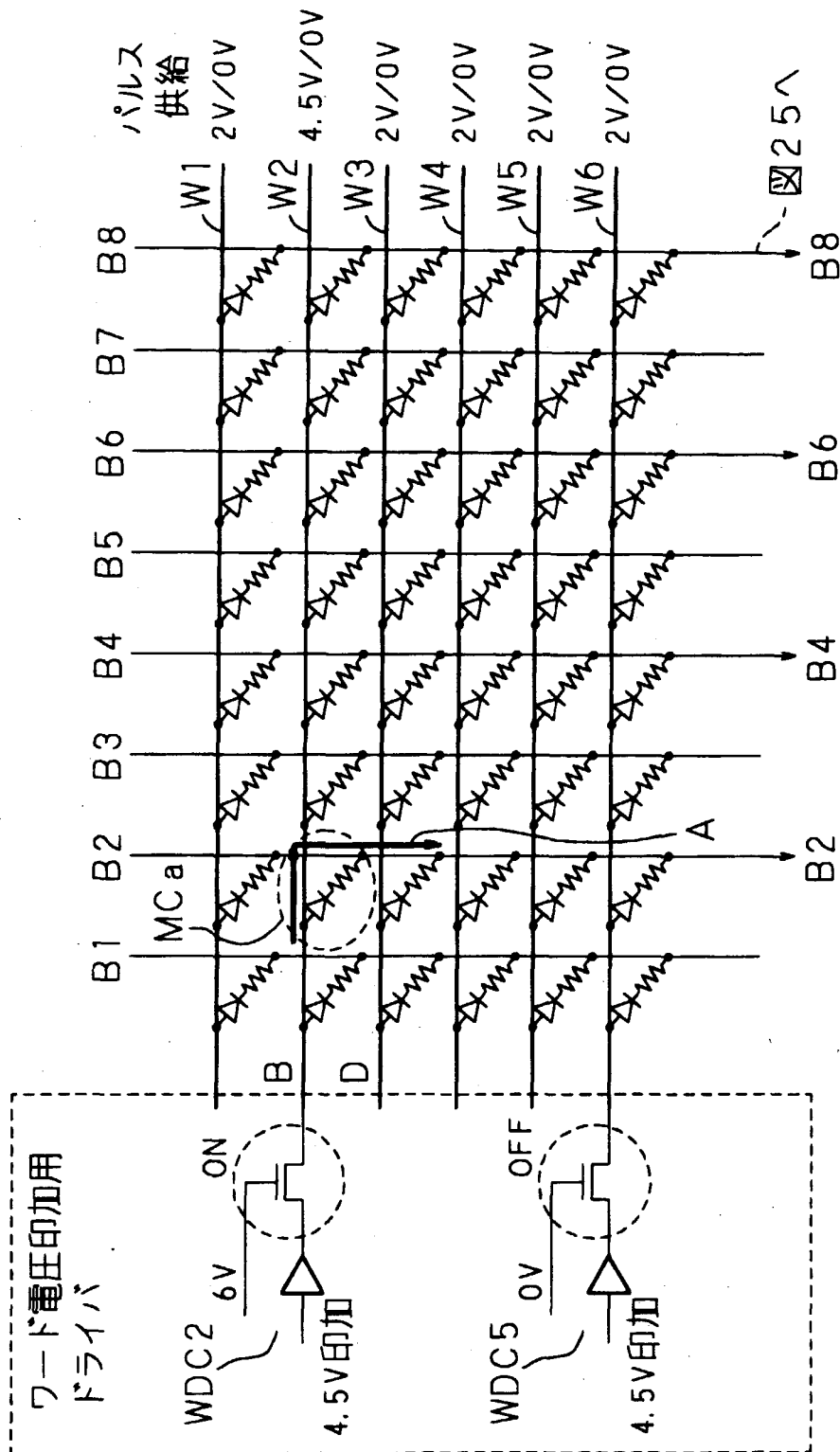
【図22】



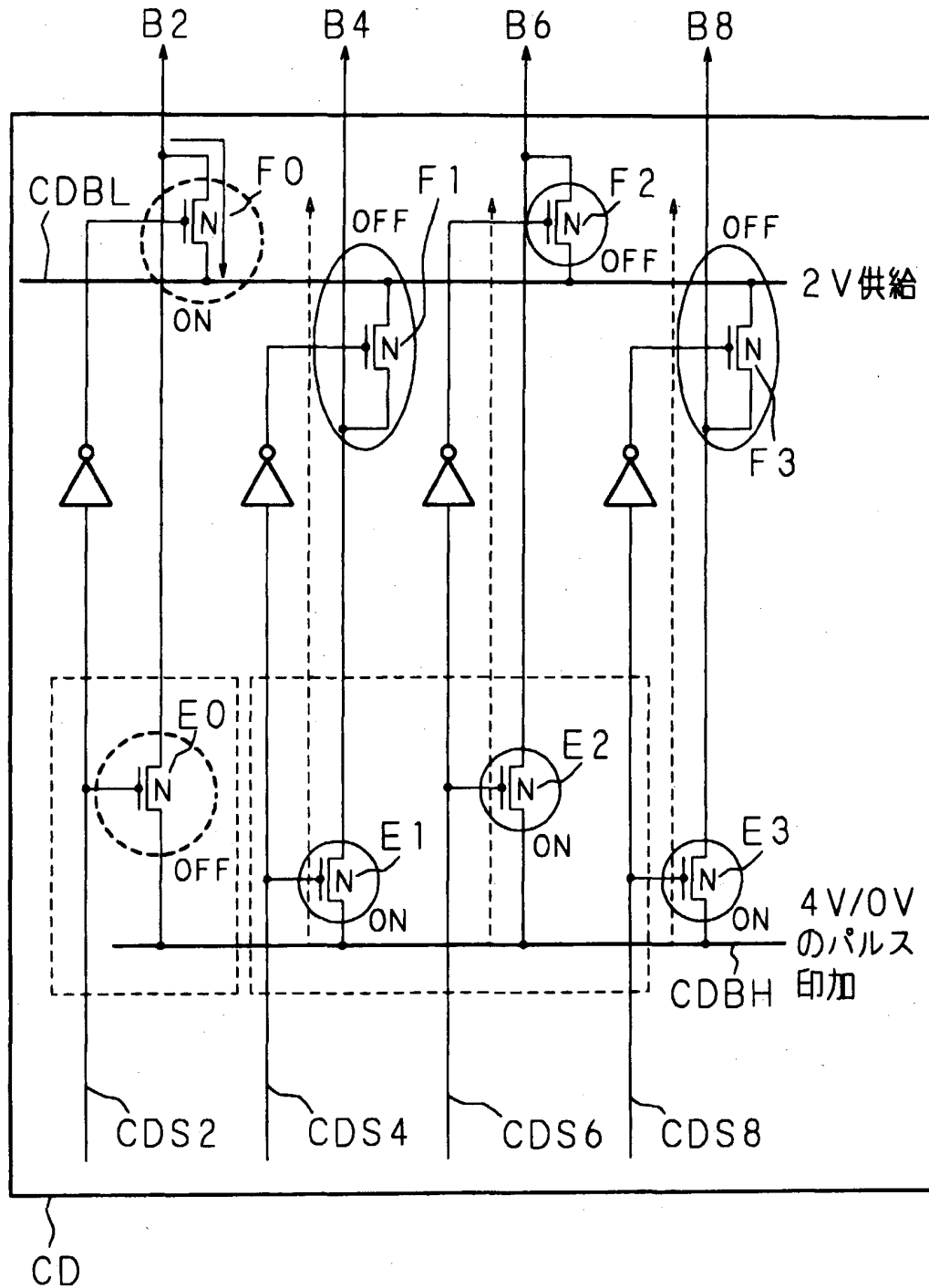
【図23】



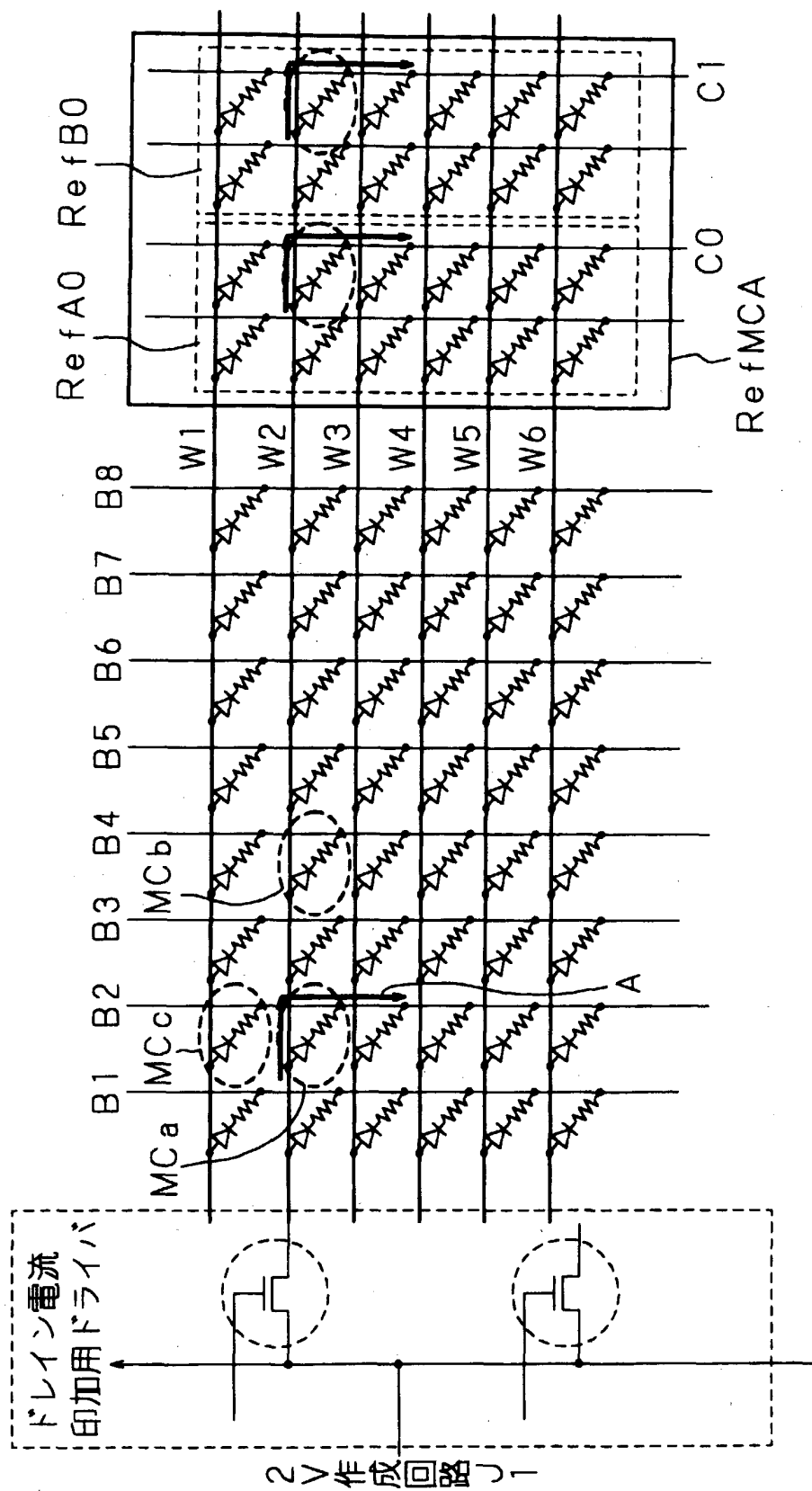
【図 2 4】



【図25】



【図26】



【図27】

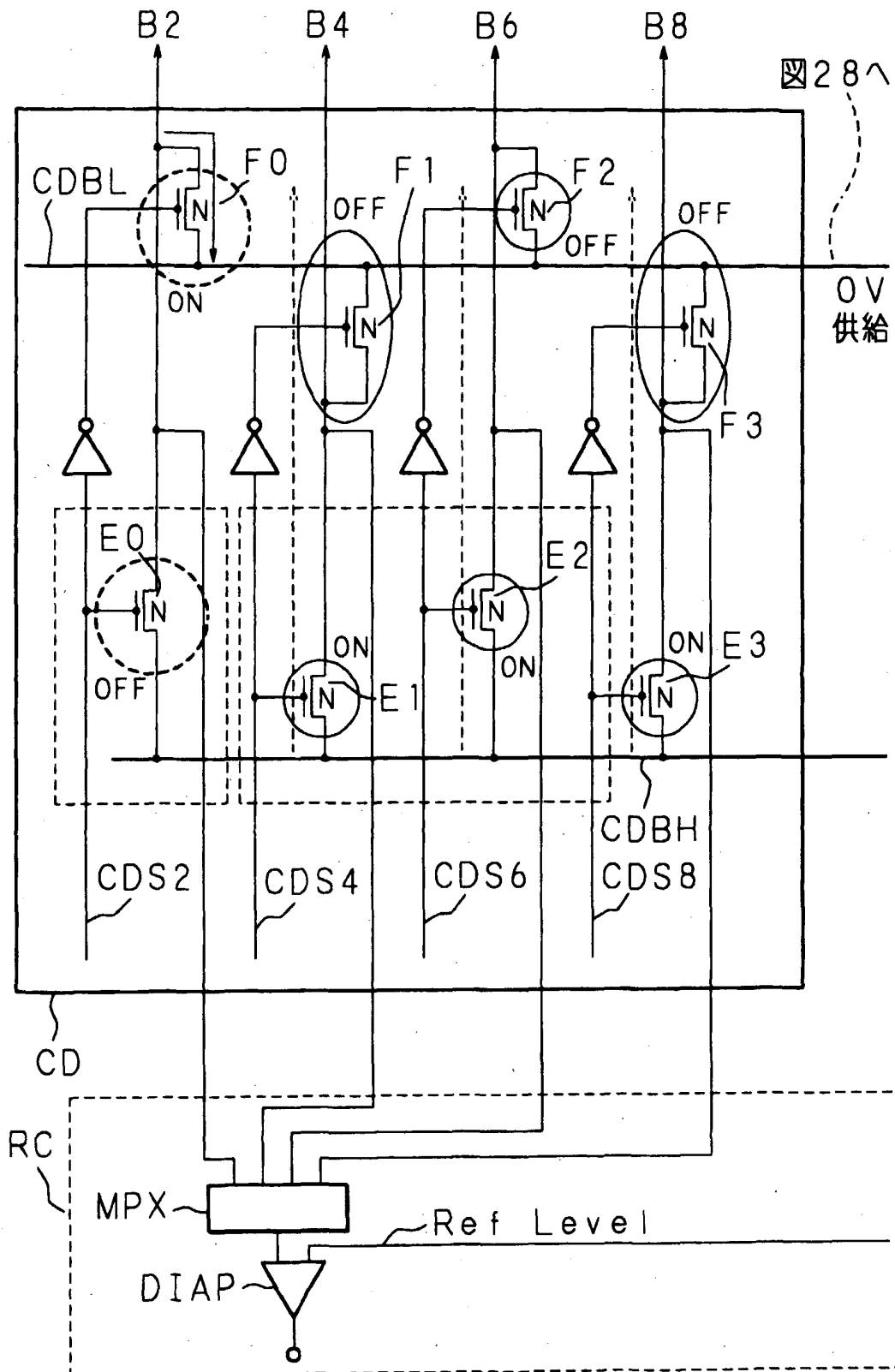
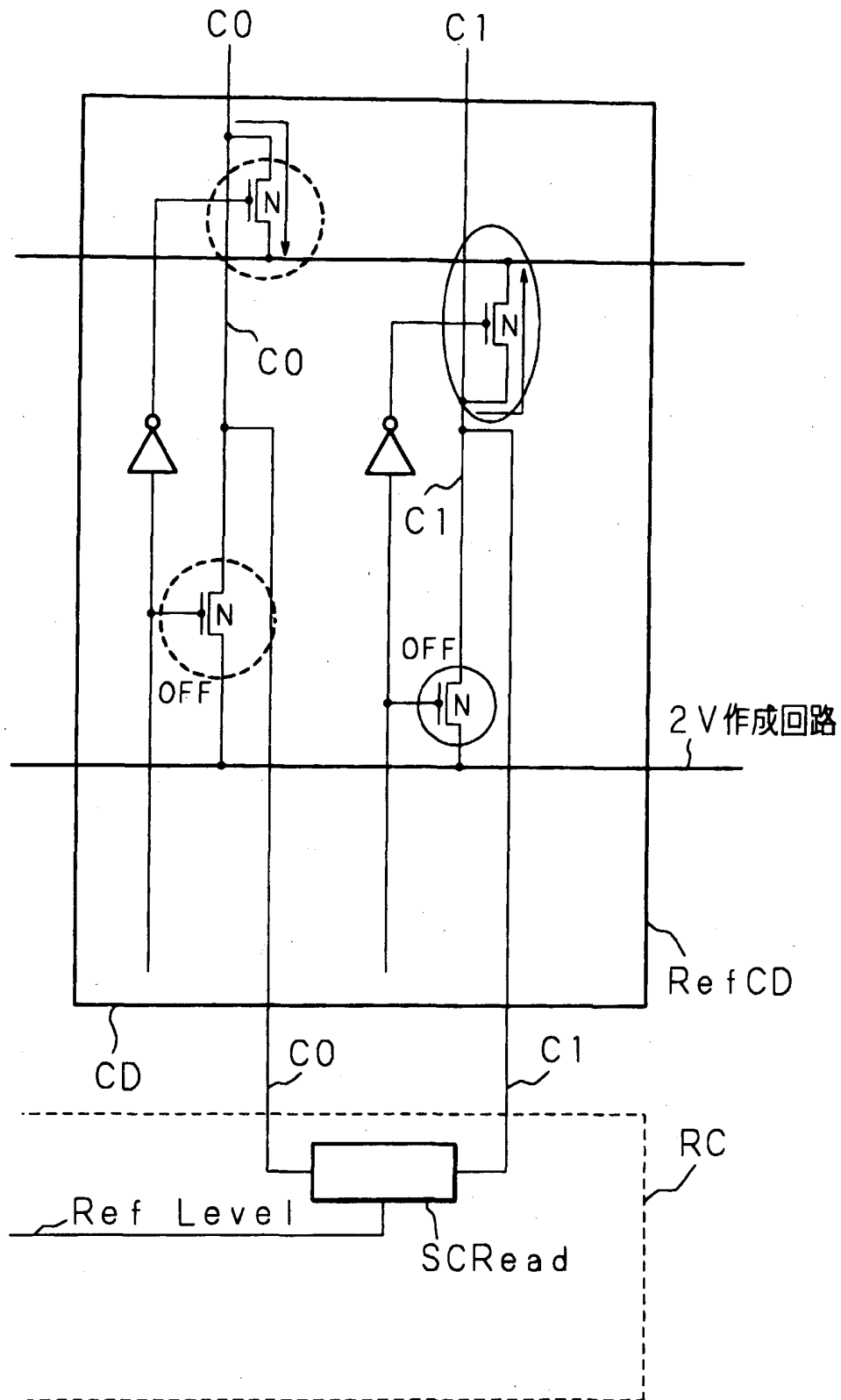
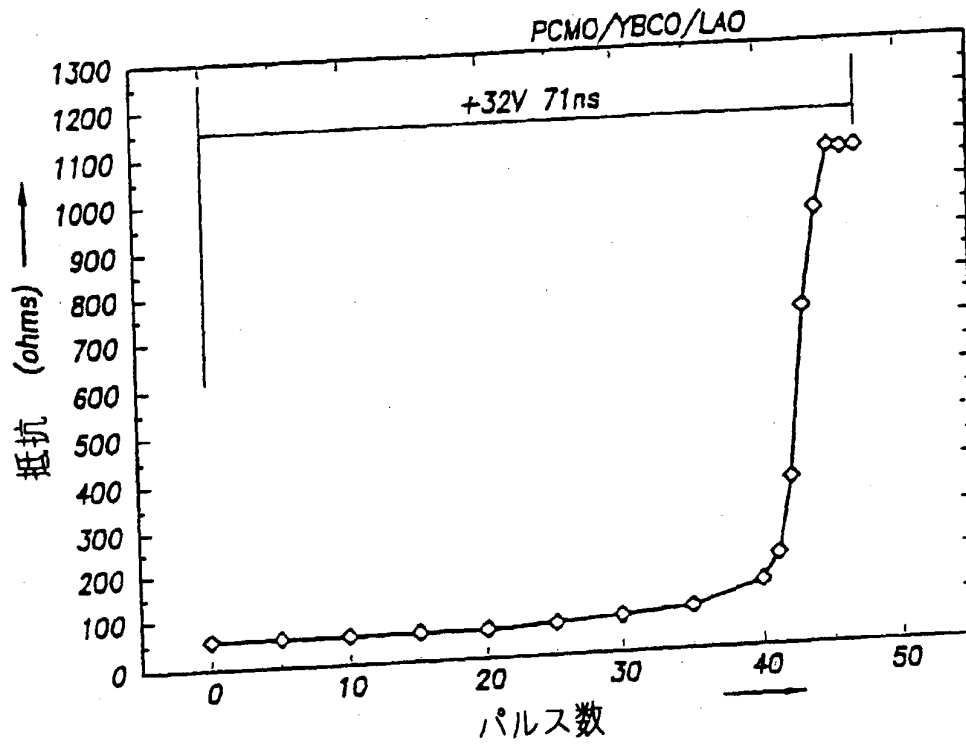


図28へ

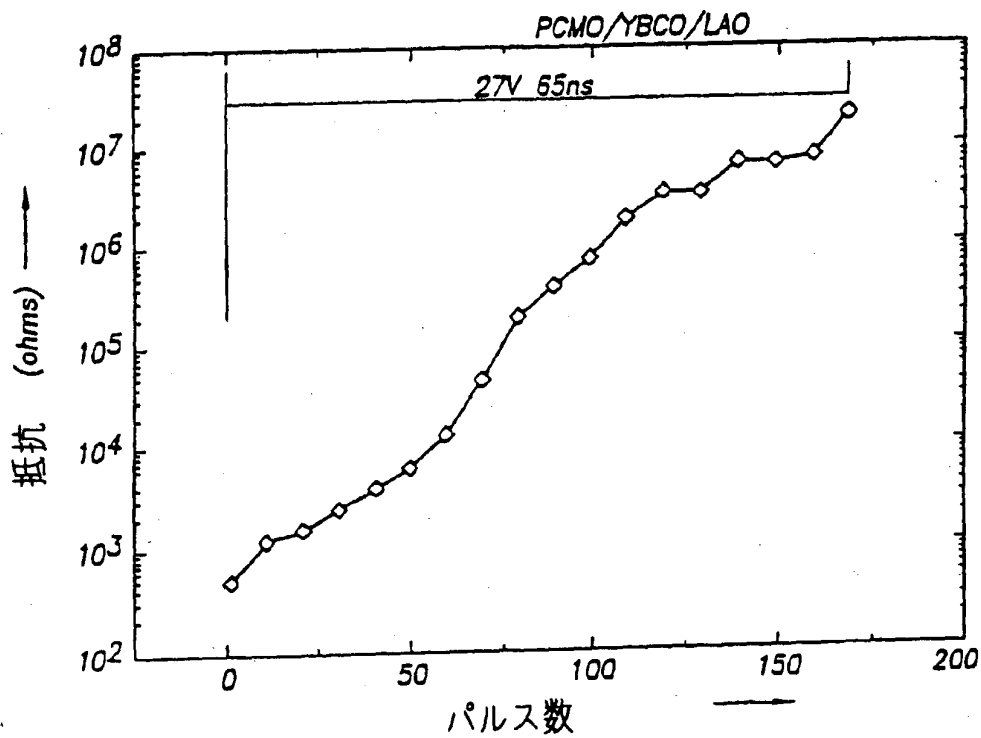
【図 28】



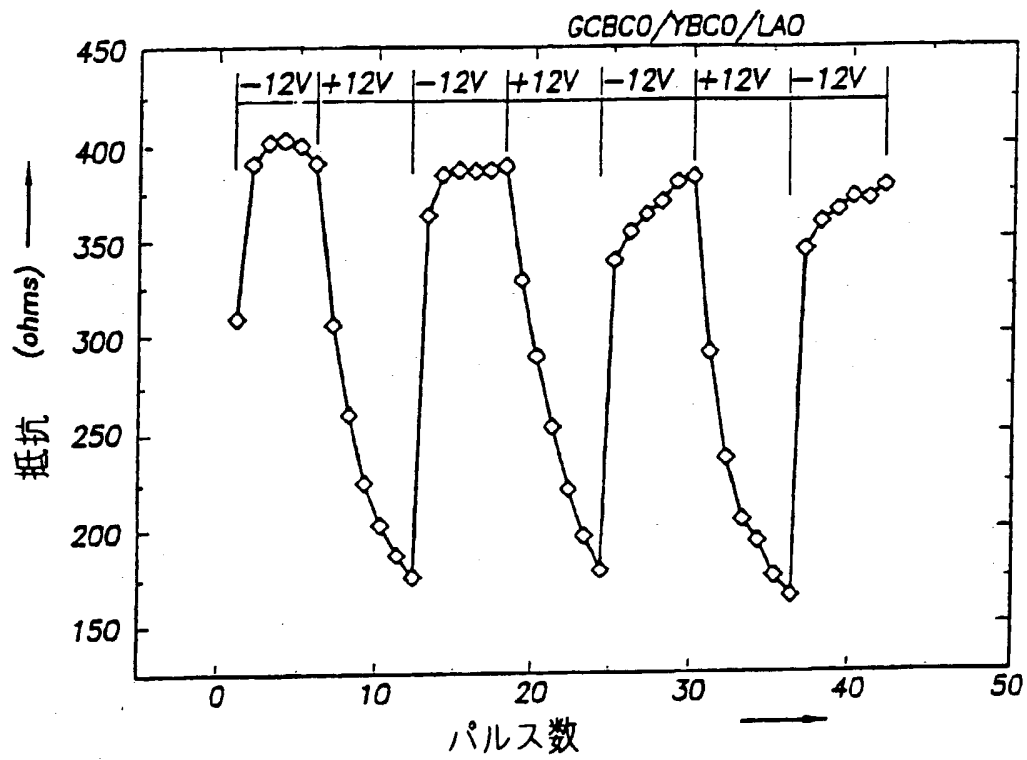
【図 29】



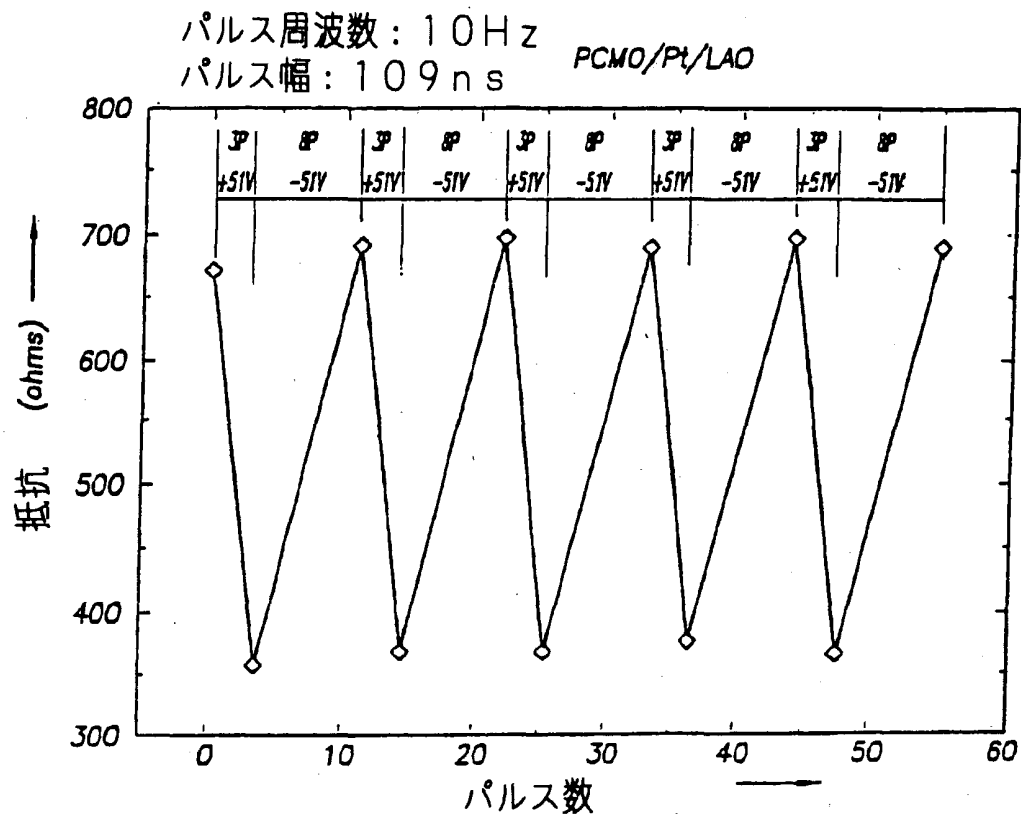
【図 30】



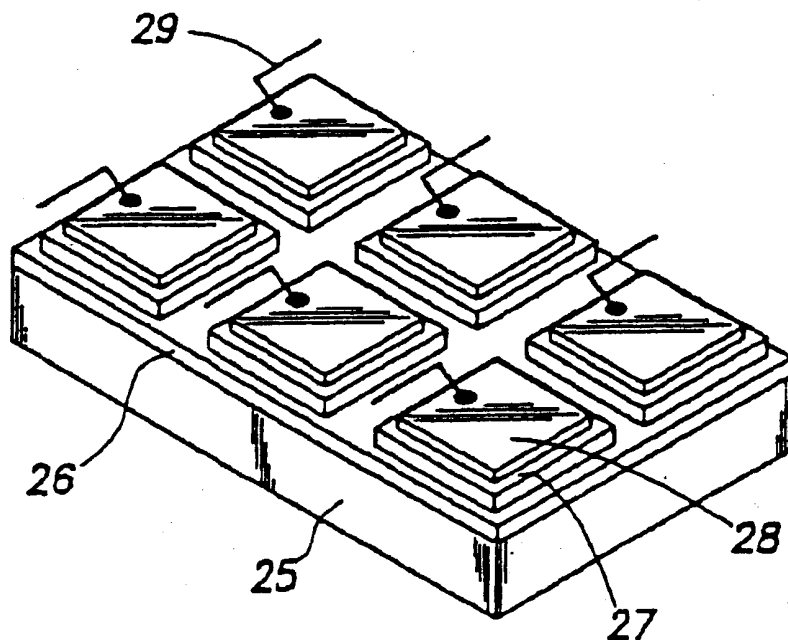
【図 3 1】



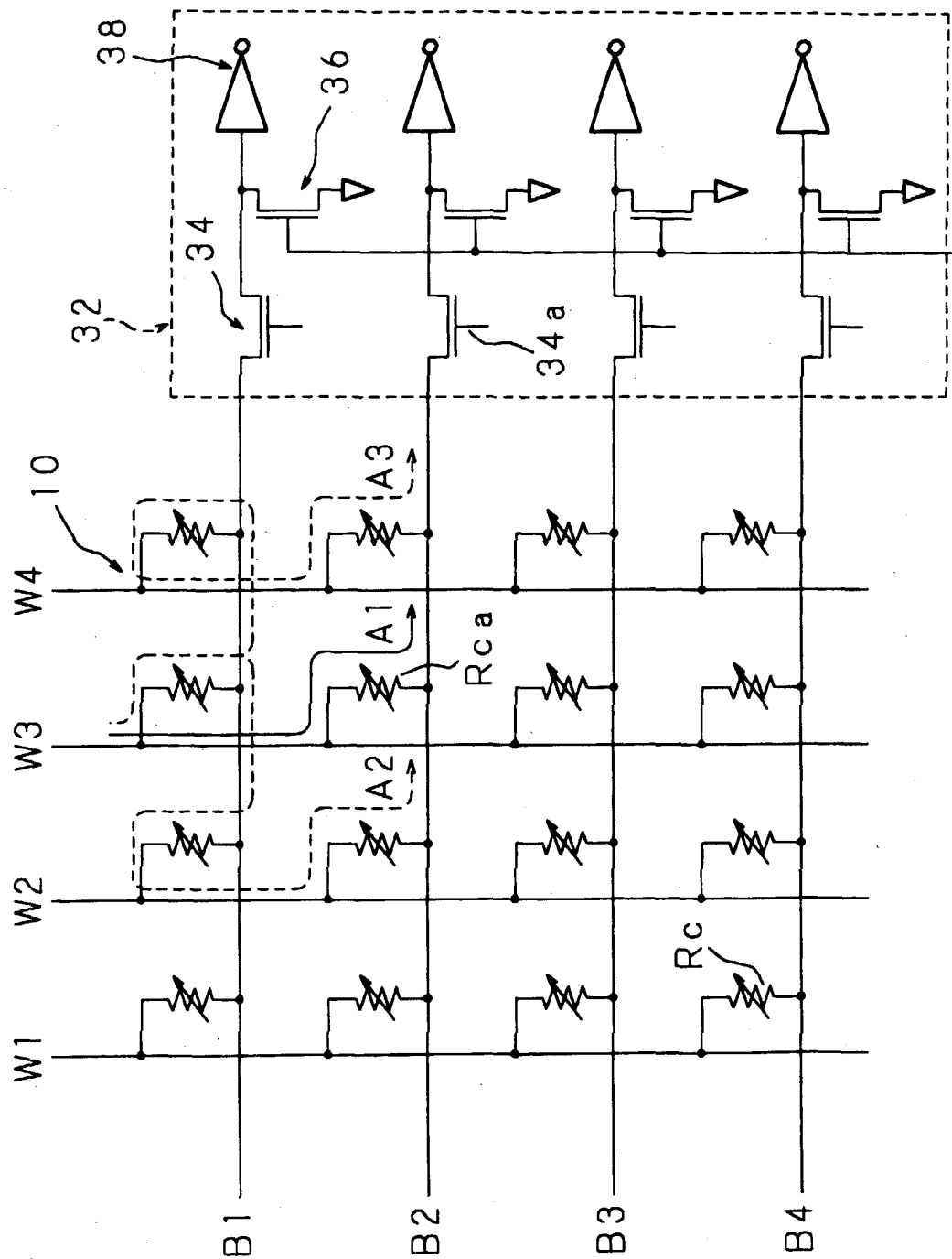
【図 3 2】



【図 3 3】



【図34】



【書類名】 要約書

【要約】

【課題】 ペロブスカイト構造をもつ薄膜材料（例えばPCMO）等からなる可変抵抗素子を記憶素子として低電圧で動作可能であり、且つ高集積が可能なメモリセル及び該メモリセルを用いた記憶装置を提供する。

【解決手段】 MCはメモリセルを示し、電流制御素子 Q_c 及び可変抵抗素子 R_c の組み合わせにより構成される。電流制御素子 Q_c として電界効果トランジスタ（FET。以下 T_r ともいう）を使用する。 $T_r Q_c$ は可変抵抗素子 R_c に流れる電流を制御するように可変抵抗素子 R_c の電流路に直列に接続されるものとする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社